

## (19) 대한민국특허청(KR)

## (12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup>  
H01L 29/786(11) 공개번호 특 1999-0088504  
(43) 공개일자 1999년 12월 27일

(21) 출원번호	10-1999-0018653
(22) 출원일자	1999년 05월 24일
(30) 우선권주장	98-143892 1998년 05월 26일 일본(JP) 99-019535 1999년 01월 28일 일본(JP)
(71) 출원인	마쓰시다덴기산교 가부시키가이샤 모리시타 요이찌 일본국 오사카후 가도마시 오아자 가도마 1006반지
(72) 발명자	카와키타테츠오 일본국 교토 후쿄타나베시 카스미사카 3-5-10 쿠라마스케이자부로 일본국 교토 후쿄타나베시 오스미가오카 3-12-2 이쿠다시 게오 일본국 오사카후 히라카타시 나가오타니마치 2-3-1-914
(74) 대리인	임석재, 윤우성

심사청구 : 있음(54) 박막트랜지스터 및 그 제조방법**요약**

본 발명의 목적은, (1) 근래의 대형이며 또한 화소밀도가 높은 대형 액정패널 등에 사용되는 작은 박막트랜지스터의 소스 및 드레인전극용의 콘택트를 형성에 있어서, 에칭부족에 의한 절연막이 남거나 또는 오버에칭에 의한 반도체층의 소실이 발생하는 것을 방지한다.

(2) 소스전극, 드레인전극의 반도체층과의 확실한 전기적 접촉을 도모하는 것.

이상의 (1)과 (2)에 있다.

그것을 위해, (1) 콘택트홀부의 실리콘막을 2층구성 등으로 하여 미리 두껍게 형성한다.

(2) 전극금속과 반도체사이에 실리사이드층을 마련한다.

**대표도****도3****영세서****도면의 간단한 설명**

도 1은, 종래의 TFT의 단면 구조도.

도 2는, 종래의 박막트랜지스터의 제조방법에 있어서, 트랜지스터가 형성되어 가는 모양을 나타내는 도면.

도 3은 본 발명의 제1실시의 형태에 있어서, 트랜지스터가 형성되어 가는 모양을 나타내는 도면.

도 4는, 본 발명의 제2실시의 형태에 있어서, 트랜지스터가 형성되어 가는 모양을 나타내는 도면.

도 5는, 본 발명의 제3실시의 형태에 있어서, 트랜지스터가 형성되어 가는 모양을 나타내는 도면.

도 6은, 본 발명의 제4실시의 형태로서의 박막트랜지스터(바텀게이트형)의 단면구조도.

도 7은, 본 발명의 제5실시의 형태에 있어서, 트랜지스터가 형성되어 가는 모양을 나타내는 도면.

도 8은, 본 발명의 제6실시의 형태에 있어서, 트랜지스터가 형성되어 가는 모양을 나타내는 도면.

도 9는, 본 발명의 제7실시의 형태로서의 박막트랜지스터(바텀게이트형)의 단면구조도.

도 10은, 본 발명의 제8실시의 형태로서의 박막트랜지스터의 단면구조도.

도 11은, 본 발명의 제9실시의 형태에 있어서, 트랜지스터가 형성되어 가는 모양을 나타내는 도면.

도 12는, 본 발명의 제10실시의 형태에 있어서, 트랜지스터가 형성되어 가는 모양을 나타내는 도면이다.

## &lt;도면 부호의 설명&gt;

1 . . . 글래스기판.	2 . . . SiO <sub>2</sub> 막.
3, 4, . . . 실리콘막.	5 . . . 게이트절연막.
6 . . . 게이트전극.	7 . . . 층간절연막.
8 . . . 레지스트패턴.	9 . . . 콘택트홀.
10 . . . 소스전극.	11 . . . 드레인전극.
15, 22 . . . 티탄막.	16, 23 . . . 알루미늄 합금막.
17 . . . 티탄실리사이드막.	40 . . . 실리콘층.

## 발명의 실세한 설명

## 발명의 목적

## 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막트랜지스터에 관한 것으로서, 특히 액정디스플레이 등에 사용되는 기판 상에서 소정의 배열로 형성된 박막트랜지스터 소자나 그 제조방법에 관한 것이다.

현재, 멀티미디어 기기나 휴대, 통신기기에는 매우 많은 액정표시장치가 사용되어 오고 있다. 그리고, 이들의 전자기기에 채용되고 있는 액정표시장치는 점차 고해상도화, 즉 화소의 미세, 고성능화가 요구되고 되고 있다.

특히, 박막트랜지스터(소자, 이하 TFT라고도 한다)를 사용한 액정표시부에서는 화소부나 그 구동회로를 구성하는 TFT의 사이즈의 축소화가 진행되어 오고 있다.

이하, 종래 사용되어 오고 있는 화소부의 TFT 중, 룹게이트라고 불리는 형의 구조의 일례를 도 1에 나타낸다.

본 도면에 나타내는 바와 같이, 글래스 기판(1) 상에는 언더코트 층으로서의 SiO<sub>2</sub>막(2)이 형성되어 있고, 그 위에 비결정질 실리콘(amorphous silicon)을 레이저어닐링에 의해 다결정화한 실리콘으로 이루어지는 반도체층(재료)(3)이 형성되어 있다. 그리고 채널을 형성하는 부분에 게이트 절연막(5)이 형성되고, 그 위에 게이트전극(6)이 형성되며, 또 그 위에 층간절연막(7)이 형성되어 있다. 또한, 이 층간 절연막의 역할은, 기판 상에 다수 형성된 각 트랜지스터소자의 소스전극선, 드레인전극선과 반도체층이 접촉하는 것을 방지하는 것, 화소전극등의 쇼트를 방지하는 것 등에 있다.

또한, 소스전극과 드레인전극을 사이에 둔 영역인 채널의 양단부의 층간 절연막에 반도체층(3)에 도달할 때까지의 콘택트홀(9)이 형성되어, 이 부분에 금속으로 이루어지는 소스전극(10)과 드레인전극(11)이 형성되어 있다.

그리고, 소스전극과 드레인 전극에 접촉하는 부분의 반도체층(31, 32)에는 이온도핑 등에 의해 3가 또는 5가의 불순물원자가 도핑되어 그 표면층이 저저항화되어 있다.

또한 이것은, 반도체층과 금속층이 접촉할 때에 발생하는 전기적 장벽을 크게 완화시켜 콘택트저항의 저감을 도모하기 위함이다.

그러나, 본 도 1에 나타내는 구조에서는 금후 또한 TFT의 미세화와 패널사이즈의 대형화가 진행된 경우에, 이하에 설명하는 문제가 발생한다.

우선 구조의 면에서이나, 미세화가 진행하면 소자 전체의 치수가 작게 되므로, 반도체층과 금속층의 접촉면적도 작게 된다. 따라서, 이와 반대로 콘택트저항이 크게 된다. 그런데, 이 콘택트 저항은 박막트랜지스터의 구동능력에 크게 영향을 미치고, 이 값이 크게 되면 구동능력이 저하된다.

그리고, 장래의 TFT의 점차의 소형화 아래 이와 같은 경향이 증가하면, 기판 상에 TFT를 배열한 경우, 신호를 공급하는 측으로부터 먼 위치에 있는 트랜지스터는 작동하지 않고, 이 때문에 화소에 충분한 전하를 충전할 수 없어 화상이 비치지 않는다고 하는 현상이 나타난다.

다음에, 제조의 면에서이나, 콘택트홀의 형성이 곤란하게 되어 간다.

이하 도 2를 참조하면서 이것을 설명한다.

(a) 다결정화된 반도체 박막(3) 상에 게이트절연막(5)이 형성되며, 그 위에 게이트전극(6), 층간 절연막(7)이 형성되어 있다.

(b) 소스전극과 드레인 전극을 형성하기 위해 콘택트홀을 형성하게 되지만, TFT의 치수가 작게 됨에 따라 이 콘택트홀의 직경도 10μm이하, 근래는 수μm을 목표로 하며, 장래는 1μm정도로 될 것으로 예상된다. 따라서, 콘택트홀을 습식에칭으로 형성하는 것은 그 직경의 치수를 내는 등의 면에서 곤란(현 시점에서는 물론, 가까운 장래에 있어서도 꼭 2, 3μm정도의 오차가 발생한다)하여, 건식에칭으로 행하게 된다.

그리고, 그것을 위해서는 우선 각 전극을 형성하는 영역에 개구(80)를 가진 레지스트패턴(8)을 형성한다.

(c) 이 개구 아래의 층간 절연막 및 게이트 절연막을 에칭가스로 제거해가게 것으로 된다. 또한 이 때

사용되는 가스(21)는, 예컨대  $CF_4$ 와  $CHF_3$ 와  $O_2$ 의 혼합가스이며, 반응성 이온에칭(RIE)을 행한다.

그런데, 이 에칭에 사용하는 가스는  $Si$ 계(그 외,  $Si-Ge$ ,  $Si-Ge-C$ )계의 재료를 에칭할 때에 사용되고 있는 것이며, 층간절연막이나 게이트산화막 등의 산화막과  $Si$ 의 양쪽에 에칭한다. 따라서, 소스전극이나 드레인전극을 형성하기 위한 콘택트홀을 만들 때에는 산화막과  $Si$ 의 선택비를 높게 한 조건(전자가 에칭하기 쉬운 조건)을 설정할 필요가 있다.

그러나, 완전히 산화막만을 에칭하고,  $Si$ 는 에칭하지 않는 조건을 설정하는 것은, 양 물질이 화학적으로 가까운 성질을 가지기 때문에, 본원 출원시점은 말할 것도 없이 가까운 장래에 있어서도 곤란하다.

그 결과, 기판 전체에 걸쳐 콘택트홀 저부에 층간절연막과 게이트절연막으로서 형성된 산화막(5, 71)을 전부 날기지 않고 깨끗하게 에칭하기 위해서는, 그 아래의 반도체층( $Si$ )까지 다소 에칭할 필요가 있다.

그러나, 근래의 TFT에서의 소형화로의 요청뿐만 아니라 글래스기판 상에 레이저 조사에 의해 비결정질 실리콘을 용융, 재결정하는 것, 또 이때 TFT의 전계효과이동도의 향상 등의 성능의 면에서 될 수 있는 한 큰 결정, 바람직하게는 단결정화한다고 하는 요청에서, 이 실리콘층은  $1000\text{ \AA}$  이하, 바람직하게는  $300\sim600\text{ \AA}$ , 특히  $500\text{ \AA}$  전후로 박막화해 나간다.

따라서, 이 에칭 시 산화막의 두께의 편차나 에칭률의 편차가 크면, 반도체층이 지나치게 에칭되어, 도 2(d)에 나타내는 바와 같이 얇게 되거나, 심한 경우에는 소실되거나 하는 장소(30)가 발생한다든지 하는 일이 발생한다.

또한, 얇게 되거나 하지 않더라도, 당해 콘택트홀 저부의 반도체층은 대미지를 받아 고저항층(33)을 형성한다든지 한다.

그렇게 되면, 콘택트홀 저부의 직경이 작은 경우에 특히 그렇지만, 하부의 반도체층과 소스전극이나 드레인전극의 콘택트저항이 매우 높게 되거나, 도통(導通)이 되지 않게 되거나 하여 접촉불량을 일으킨다.

특히, 근래의 액정패널의 대형화, 이 한편에서 화소의 밀도의 증대 등에 따르는 TFT의 미세화와 개수의 증대화의 아래, 이 문제는 중대하다.

그렇다고 해서, 반도체층을 두껍게 형성하거나, 에칭할 때에 절연막에만 그리고 양호하게 작용하는 어느 다른 가스를 사용하는 것은 현시점은 물론, 가까운 장래도 곤란하다.

또한, 바텀게이트형의 트랜지스터에 있어서도 마찬가지의 문제가 있다.

이 때문에, 어떤 형의 TFT, 트랜지스터에 있어서도 그 미세화를 도모할 때에, 콘택트저항이 높게 되지 않고, 게다가 콘택트홀 형성시의 에칭도 용이한 TFT나 그 제조방법의 개발이 기대되고 있었다.

### 발명이 이루고자 하는 기술적 과제

본 발명은, 이상의 과제를 감안하여 이루어진 것이며, 제1의 발명군은 반도체 막의 소스전극 및 드레인전극과 접하는 영역이나 그 근방만을 채널영역에서도 두껍게 형성하는 것으로 하고 있다. 이것에 의해 TFT의 소자로서의 성능의 우수성을 확보하면서 건식에칭으로 넓은 기판에 콘택트홀 형성 시에 다소의 오버에칭으로 반도체층이 소실하는 것을 방지하고, 아울러 낮은 콘택트저항을 확보하고 있다.

또한, 제2의 발명군은 반도체막과 소스전극 및 드레인전극의 사이에 얇은 실리사이드 막을 형성하는 것으로 하고 있다. 이것에 의해 각 전극과 반도체막의 전기적 접속을 확실히 하고, 아울러 층간 절연막의 에칭시에 에칭스.Utility로서의 역할을 담당하고 있다.

### 발명의 구성 및 작용

구체적으로는 이하의 구성으로 하고 있다.

제1의 발명군의 청구항 1에 있어서는, 채널영역, 소스영역 및 드레인영역으로 이루어지는 반도체박막과, 층간절연막과, 게이트절연막과, 바텀게이트형이라면 층간 절연막에 텁게이트형이라면 이것에 가하여 게이트절연막에도 형성된 콘택트홀을 통하여(이용하여) 반도체박막에 접속되는 소스전극 및 드레인전극을 가지는 기판 상에 형성된 박막트랜지스터의 제조방법으로서, 반도체 박막의 적어도 소스전극 및 드레인전극과 접속하기 위한 콘택트홀이 형성되는 영역(포함하는, 그 근방  $1\sim2\mu\text{m}$ 의 주위. 또한, 현시점에서는 제조기술 상의 제약도 있고, 이 경우나 더 넓은 경우가 많을 것임)을 채널영역보다도 예컨대 2( $1.5\sim2.5$ , 바람직하게는  $1.85\sim2.15$ )배 정도 또는  $300(200\sim400$ , 바람직하게는  $270\sim330)\text{ \AA}$  정도 두껍게 형성하는 비채널영역 두께증가 형성스텝을 가지고 있다.

또한 만약을 위해 기재하면, 다른 발명에서도 그려하지만 기판 상의 반도체에 대하여 TFT로서 충분히 작용하도록 수소의 충출, 레이저어닐링, 담링(single tire)본드의 결합, 도핑 등의 처리가 필요에 따라 적절한 것은 물론이다.

청구항 2의 발명에서는 청구항 1의 발명의 비채널영역 두께증가 형성스텝은, 반도체 박막의 적어도 소스전극 및 드레인전극과 접하는 영역을 복수회(소요공정수를 적게 하기 위해, 원칙은 2회)의 성막공정에 의해 다른 부보다 두껍게 형성하는 복수회 성막스텝이다.

청구항 3의 발명에 있어서는 기판 상의 소스전극 및 드레인전극에 대응한 위치에만 제1의 반도체 박막을 형성하는 제1 반도체 박막형성스텝과, 형성된 제1의 반도체 박막을 덮어 제2의 반도체 박막을 박막트랜지스터 형성부에만 선택적으로 형성하는 제2 반도체박막 형성스텝과, 형성된 제2의 반도체 박막을 덮어 게이트절연막을 형성하는 게이트절연막 형성스텝과, 형성된 게이트절연막의 상부에 게이트전극을 형성하는 게이트전극 형성스텝과, 형성된 게이트절연막과 게이트전극을 덮어 층간 절연막을 형성하는 층간절연막 형성스텝과, 형성된 게이트절연막 및 층간절연막의 소스전극, 드레인전극에 대응한 위치에 건식에칭으로 각 소자마다 2개의 콘택트홀을 충분한 정밀도 치수로 형성하는 콘택트홀 형성스텝과, 형성된 콘

택트홀을 1개씩 사용하여 그 내부에 상기 반도체 박막에 접속된 소스전극, 드레인전극을 각 소자마다 각 1개 형성하는 전극형성스텝을 가지고 있다.

청구항 4의 발명에서는, 청구항 3의 발명이 톱게이트형의 박막트랜지스터를 대상으로 하고 있는 것에 대하여, 바텀게이트형의 박막트랜지스터를 대상으로 하여 이루어진 것이다. 이 때문에 트랜지스터의 제조 등의 상위에 근거하여, 각 스텝의 순번 등에 상위는 있지만, 중요한 스텝은 동일하게 이루어지며, 동일한 효과를 발휘하게 된다.

청구항 5의 발명에 있어서는 기판상의 소정의 위치에 제1의 반도체 박막을 형성하는 제1 반도체박막 형성스텝과, 형성된 제1의 반도체 박막 상의 소스전극 및 드레인전극에 대응한 위치(물론, 다소의 여유를 보아 양 전극의 외주부에도 형성하는 경우를 포함한다)에만 제2의 반도체박막을 형성하는 제2 반도체박막 형성스텝과, 형성된 제1과 제2의 반도체 박막을 덮어 게이트 절연막을 형성하는 게이트절연막 형성스텝과, 형성된 게이트절연막의 상부에 게이트 전극을 형성하는 게이트전극 형성스텝과, 형성된 게이트절연막과 게이트전극을 덮어 층간절연막을 형성하는 층간절연막 형성스텝과, 형성된 게이트절연막과 층간절연막의 소스전극, 드레인전극에 대응한 위치에 건식에칭으로 콘택트홀을 형성하는 콘택트홀 형성스텝과, 형성된 콘택트홀 내에 반도체 박막에 접속된 소스전극, 드레인전극을 형성하는 전극형성스텝을 가지고 있다.

청구항 6의 발명에서는, 청구항 5의 발명이 톱게이트형의 박막트랜지스터를 대상으로 하고 있는 것에 대하여, 바텀게이트형의 박막트랜지스터를 대상으로 하여 이루어진 것이다. 이 때문에 트랜지스터 구조 등의 상위에 근거하여, 각 스텝의 순번 등에 상위는 있지만, 중요한 스텝은 동일하게 이루어지며, 동일한 효과를 발휘하게 된다.

청구항 7의 발명에서는, 예컨대 14~20 인치 정도의 액정표시장치용의 클래스 기판 상에 반도체박막을 본래 필요로 되는 막두께보다도 두껍게 형성하는 반도체박막 형성스텝과, 형성된 반도체 박막의 소스전극 및 드레인전극에 대응한 영역만을 남기고 다른 영역을 본래의 TFT의 채널영역으로서 필요한 두께로 되도록 반응제거 등하여 얇게 가공하는 박막화 스텝과, 얇게 가공된 반도체박막을 덮어 게이트절연막을 형성하는 게이트절연막 형성스텝과, 형성된 게이트절연막의 상부에 게이트전극을 형성하는 게이트전극 형성스텝과, 형성된 게이트 전극과 게이트 절연막을 덮어 층간절연막을 형성하는 층간절연막 형성스텝과, 형성된 게이트절연막과 층간절연막의 소스전극, 드레인전극에 대응한 위치에 건식에칭으로 콘택트홀을 형성하는 콘택트홀 형성스텝과, 형성된 콘택트홀 내에 반도체 박막에 접속된(되는 것으로 되는) 소스전극, 드레인전극을 형성하는 전극형성스텝을 가지고 있다.

청구항 8의 발명에서는, 청구항 7의 발명이 톱게이트형의 박막트랜지스터를 대상으로 하고 있는 것에 대하여, 바텀게이트형의 박막트랜지스터를 대상으로 하여 이루어진 것이다. 이 때문에 트랜지스터의 구조 등의 상위에 근거하여 각 스텝의 순번 등에 상위는 있지만, 중요한 스텝은 동일하게 이루어지며, 동일한 효과를 발휘하게 된다.

청구항 9의 발명에서는, 채널영역, 소스영역 및 드레인영역으로 이루어지는 반도체 박막과, 층간절연막과, 게이트절연막과, 바텀게이트라면 층간절연막에 톱게이트라면 이것에 대하여 게이트절연막에도 형성된 콘택트홀을 통하여 반도체박막에 접속되는 소스전극 및 드레인전극을 가지는 기판 상에 형성된 박막트랜지스터로서, 상술한 각 제조방법의 발명으로 제조하였기 때문에, 반도체 박막의 소스전극 및 드레인전극과 접속하기 위한 콘택트홀이 형성되는 영역을 채널영역의 외주부보다도 두껍게 형성한, 비채널영역 두께증가 형성 반도체부를 가지고 있는 것을 특징으로 하고 있다.

또한, 비정질 실리콘의 레이저에 의한 어닐링 시의 균질성 확보의 면에서는 2배정도 또는 300A정도 두껍게 형성하는 것이 바람직하지만, 이것은 기판의 크기와 건식에칭의 정밀도의 병합으로 된다.

청구항 10의 발명에서는, 반도체박막은 절연재와 동 계통이며 또한 액정표시장치에 사용되는 실리콘, 실리콘·게르마늄 또는 실리콘·게르마늄·탄소로 이루어지는 실리콘계통 반도체 박막이다.

또한, 본 발명의 제2의 발명군의 청구항 11의 발명에서는 제1의 발명군과 동일한 목적, 용도의 반도체 소자의 제조방법에 있어서, 톱게이트형, 바텀게이트형 중 어느 형의 트랜지스터 소자에 있어서도, 소스전극 및 드레인전극과 반도체막과의 사이에 양자의 전기적 접속을 확실히 하고, 아울러 콘택트홀 형성 시의 폴리실리콘막의 보호를 도모하기 위해, 말하자면 양 전극의 일부(최하층)로서의 실리사이드층을 마련하고 있다.

청구항 12의 발명에서는, 청구항 11의 발명의 실리사이드로서, 실리콘과 반응의 제어가 하기 쉽고, 게다가 비결정질 실리콘이나 레이저어닐로 제조한 폴리실리콘은 클래스기판의 내열온도(약 600°C)보다도 낮은 온도로 실리사이드를 형성하는 티탄, 니켈, 플라티나, 또는 코발트 중에서 선정된 금속의 화합물을 선정하고 있다. 또한, 매우 큰 결정인 크리스탈실리콘의 경우에는 특별한 측매라도 사용한다면 다르지만, 이들의 금속에 있어서도 실용상 필요한 실리사이드를 형성하기 위해서는 600°C 이상의 온도가 필요하다.

청구항 13의 발명에서는, 청구항 11의 발명의 소스전극 및 드레인전극은 각각 복수의 금속층으로 이루어지는 복수층 소스전극 및 복수층 드레인전극이며, 실리사이드층 형성스텝에 앞서, 복수층 소스전극 및 복수층 드레인전극이 형성되는 부분에 티탄, 니켈, 플라티나 또는 코발트에서 선택된 적어도 1종류의 금속막을 실리콘막 상에 복수층 소스전극 및 복수층 드레인전극의 최하층의 층으로서 형성하는 최하층막 형성스텝을 가지고, 실리사이드막 형성스텝은 형성된 최하층의 막의 금속의 (적어도) 하층과 실리콘막 상부의 실리콘을 확실히 전기적으로 접속시키는 것을 경하여 반응시키는 반응소(反應小)스텝을 가지고 있는 것을 특징으로 하고 있다.

청구항 14의 발명에서는, 기판 상의 소정의 위치에 실리콘막을 형성하는 실리콘막 형성스텝과, 형성된 실리콘막 위 전면에 게이트절연막을 형성하는 게이트절연막 형성스텝과, 소스전극 및 드레인전극에 대응한 위치(여기서, "대응한 위치"란 전극 형성용의 콘택트홀의 (자부의) 직경보다도 다소 넓은 위치도 포함한다)가 형성된 게이트절연막을 제거한 후 전면에 제1의 금속막을 형성하는 제1 금속막 형성스텝과,

형성된 제1의 금속막과 동일하게 실리콘막이 직접 접하고 있는 부분에서 제1의 금속과 실리콘을 클래스 기판의 내열온도에 대하여 여유가 있는 온도에서 반응시켜 실리사이드층을 형성하는 실리사이드층 형성 스텝과, 게이트절연막 상의 제1의 금속막을 제거하고, 그 후 상기 실리콘막 상의 게이트전극에 대응한 위치에 후술하는 층간절연막용의 에칭가스로 침입하기 어려운 금속으로 이루어지는 제2의 금속막을 형성하고, 또 그후에 전면에 층간절연막을 형성하는 게이트전극 형성고려 층간절연막 형성스텝과, 실리사이드층 및 제2의 금속막을 에칭스톱퍼층으로서 층간절연막을 건식에칭하여 게이트전극, 드레인전극, 소스전극에 대응한 위치에만 콘택트홀을 형성하는 콘택트홀 형성스텝과, 그후 전면에 실리사이드와 접촉이 양호한 금속으로 이루어지는 제3의 금속막을 형성하고, 불필요한 부분은 제거하고 필요한 부분만 선택적으로 게이트전극, 드레인전극, 소스전극 또는 그들의 최하층의 금속층(이 경우에는 상부는 다른 금속으로 한다)을 형성하는 전극 등 형성스텝을 가지고 있는 것을 특징으로 하고 있다.

청구항 15 기재의 발명에서는, 실리콘막 형성스텝은 실리사이드에 의한 전기저항의 저하의 효과가 큰 650Å 이하의 박막으로 형성하는 앎은 실리콘막 형성스텝이며, 동일하게 콘택트홀 형성스텝은 저부의 직경이 4μm 이하로 형성하는 작은 지름 콘택트홀 형성스텝인 것을 특징으로 하고 있다.

청구항 16 기재의 발명에서는, 콘택트홀 형성스텝에 앞서 제3의 금속막의 재료로서 전기적 접촉향상을 위해 제1의 금속막과 동일한 금속을 재료로서 선정하는 동일금속 선정스텝을 가지고 있는 것을 특징으로 하고 있다.

청구항 17, 18, 19의 발명에서는, 청구항 14, 15, 16의 발명이 텁게이트형의 박막트랜지스터를 대상으로 하여 이루어진 것에 대하여, 바텀게이트형의 박막트랜지스터를 대상으로 하여 이루어진 것이다. 이 때문에, 트랜지스터의 구조 등의 상위를 근거로 하여, 각 스텝의 내용이나 순번에 다소의 상위는 있지만, 기본적으로 동일한 처리가 이루어지며, 동일한 효과가 발휘된다.

청구항 20의 발명에서는 대상으로 하는 물(物)로서의 박막트랜지스터는 청구항 14의 발명의 박막트랜지스터와 동일하지만, 그 제조방법이 다르다. 이 때문에 기판 상의 소정의 위치에 실리콘막을 형성하는 실리콘막 형성스텝과, 형성된 실리콘막 상의 소스전극 및 드레인전극에 대응한 위치에만 제1의 금속막을 형성한 후, 이 제1의 금속막과 실리콘막을 반응시켜 양막의 사이에 실리사이드층을 형성하는 실리사이드층 형성스텝과, 그후 실리콘막 위 전면에 절연막, 이어서 절연막용의 에칭가스로 침입되지 않는 금속으로 이루어지는 제2의 금속막을 형성하는 절연막 금속막 형성스텝과, 절연막 상에 형성된 제2의 금속막을 게이트전극에 대응한 위치에만 (선택적으로) 남긴 후, 전면에 층간절연막을 형성하는 게이트전극 층간절연막 형성스텝을 가지고 있는 것이 상위하다.

청구항 21, 22의 발명에서는, 청구항 15, 16의 발명이 대상으로 하는 물(物)로서의 박막트랜지스터는 청구항 14의 발명의 박막트랜지스터인 것에 대하여, 청구항 20의 발명의 박막트랜지스터인 것이 상위하다. 다만, 청구항 14와 청구항 20의 박막트랜지스터는, 제조방법은 다르지만 물로서는 동일하다. 이 때문에, 각각 청구항 15, 16의 발명과 동일한 처리가 이루어지며, 동일한 효과가 발휘된다.

청구항 23의 발명에서는, 실리사이드를 형성하는 금속을 하층, 층간 절연막의 에칭 시에 스텁퍼로 되는, 그리고 전기저항이 낮은 금속을 상층으로 하여 소스전극, 드레인전극 방향의 단면이 적어도 한쪽에서 2단으로 변화하는 마스크 경용 게이트전극이 형성된다. 그리고, LDD구조의 박막트랜지스터로서의 기능발휘를 위해 이 마스크경용 게이트전극을 마스크로 하여 불순물이 주입된다. 또한 이 때문에, 게이트전극의 각층의 막두께는 그것을 고려하여 정해진다.

청구항 24, 25의 발명에서는, 청구항 15, 16의 발명이 대상으로 하는 물로서의 박막트랜지스터는 일반의 박막트랜지스터인 것에 대하여, LDD구조의 박막트랜지스터로 한정하고 있는 것이 상위하다. 이 때문에, 이 점을 제외하고 각각 청구항 15, 16의 발명과 동일한 처리가 이루어지며, 동일한 효과가 발휘된다.

또한 청구항 25의 발명에서는, 채널영역의 수소의 타입(打入)이 억제된다.

청구항 26의 발명에서는, 청구항 23의 발명에서의 마스크경용 게이트전극이 최하층의 금속, 중간층의 실리사이드, 상층의 실리콘의 상태로 불순물의 주입이 이루어진다. 이 때문에, LDD 구조는 2단으로 된다. 또한, 상층의 실리콘은 완성시 그 일부가 남겨져 있어도, 제거되어 있어도 된다. 그리고 또, 이 때문에 금속층과 실리콘층의 두께, 실리사이드층 형성의 온도나 시간은 마스크로서의 사용을 고려하여 정해진다.

청구항 27, 28의 발명에서는, 청구항 24, 25의 발명이 대상으로 하는 물로서의 박막트랜지스터는 LDD구조 박막트랜지스터인 것에 대하여, 2단 LDD구조의 박막트랜지스터로 한정하고 있는 것이 상위하다. 이 때문에, 이점을 제외하고, 각각 청구항 24, 25 또는 청구항 15, 16의 발명과 동일한 처리가 이루어지며, 동일한 효과가 발휘된다.

청구항 29의 발명에서는, 채널영역, 소스영역 및 드레인 영역으로 이루어지는 반도체 박막과, 층간절연막과, 게이트전극과, 게이트절연막과, 바텀게이트형이라면 층간절연막에 텁게이트형이라면 이것에 대하여 게이트절연막에 형성된 콘택트홀을 통하여 반도체 박막에 접속되는 소스전극 및 드레인전극을 가지는 기판 상에 형성된 박막트랜지스터로서, 반도체 박막의 소스전극 및 드레인전극과 접속하기 위한 콘택트홀이 형성되는 영역의 반도체박막과 소스전극 및 드레인전극 사이에 전극과 반도체층과의 전기적 접속을 양호하게 하기 위한 실리사이드층을 가지고 있는 것을 특징으로 하고 있다.

청구항 30의 발명에 있어서는, 소스전극 및 드레인 전극은 각각 다층구조여부는 별도로 하고, 여하튼 각각 소스영역, 드레인영역 상의 상기 실리사이드층에 접하는 부분은 실리사이드의 원료금속과 동일한 금속이기 때문에, 단순히 재료수배의 면 뿐만 아니라, 전기적 접촉이 양호하게 되는 재료금속 통일형 소스전극, 재료금속 통일형 드레인전극인 것을 특징으로 하고 있다.

청구항 31 및 33의 발명에서는 각 전극의 반도체에 접촉하는 부분의 실리사이드의 원료금속은, 티탄, 니켈, 플라티나 또는 코발트를 함유하고 있기 때문에, 실리사이드의 형성이 용이하게 된다.

청구항 32, 34의 발명에서는, 실리콘 막두께는 650Å 이하, 콘택트홀 지름은 4μm 이하이기 때문에, 전극부

의 전기저항 저하의 효과가 크게 된다.

청구항 35 내지 40의 발명에서는, 청구항 23 내지 28의 발명이 방법의 발명인 것에 대하여 각각 물의 발명으로 하여 취해진 것이며, 이 때문에 카테고리의 상위는 있지만, 제품으로서는 동일한 구성으로 되며 동일한 효과가 발휘된다.

#### 〈발명의 바람직한 실시의 형태〉

이하, 본 발명을 그 바람직한 실시의 형태에 기초하여 설명한다.

도 3은 본 발명에 관한 박막트랜지스터의 제조방법의 제1 실시의 형태의 내용, 구체적으로는 각 처리에 따라 박막트랜지스터가 제조되어 가는 모양을 나타낸 것이다. 이하, 본 도면을 참조하면서 이 수순을 차례로 설명한다.

(a) 글래스 기판(1) 상에 언더코트의  $\text{SiO}_2$ 막(2)을 전면에 형성한다. 이어서, 이 위로부터 TFT의 소스전극 및 드레인전극을 형성하는 위치에만 실리콘막(3)을 두께 수백 Å 정도로 형성한다. 또한, 이 형성위치나 후술하는 TFT를 형성하는 위치 등은, 최종제품으로서의 액정표시장치의 표시면의, 더 나아가서는 화소나 그 구동부의 배치로부터 정해진다. 또한, 특정의 위치에만 실리콘막을 형성하는 수단으로서는 일단 기판 전면에 실리콘막을 형성한 후, 불필요한 부분의 실리콘막을 제거하는 등 여러 가지이지만, 이것은 소위 주지기술이기 때문에, 그 상세한 설명 등은 본 발명에 직접 관계하는 경우를 제외하고 생략한다. 그리고, 이것은 다른 물질의 막에 대해서도 마찬가지이다.

(b) TFT를 형성하는 위치에만 실리콘막(4)을 두께 수백 Å 정도로 형성한다. 이것에 의해 뒤에 소스전극 및 드레인전극과 콘택트를 취하는 영역의 실리콘막은, 동 3과 4의 이층구조이기 때문에, 채널영역보다 두껍게 되어 있다. 또한, 본 실시의 형태에서는 실리콘막(3, 4)은 CVD법으로 성막되며, 액시머레이저어널 등에 의해 다결정화되어 있다.

(c) 게이트절연막(5)을 기판 상의 전면에 형성한다. 또한, 이 게이트절연막(5)의 형성방법으로서는 CVD법이 바람직하며, 그 두께는 수백 Å 정도이다.

(d) 금속막으로 이루어지는 게이트전극(6)을 TFT의 배치, 형상으로부터 정해지는 소정의 위치에 형성한다. 여기서는 저저항의 면에서 알루미늄 합금막으로 하였다.

또한, 기판 전면에 충간절연막(7)을 형성한다. 형성방법은 CVD법에 의한 것으로,  $\text{SiO}_2$ 막을 5000 Å의 두께로 형성하였다. 또한, 두께는 수천 Å라면 좋다.

(e) 콘택트홀을 형성하기 위한 전처리를 행한다. 구체적으로는 우선, 소스전극, 드레인전극에 대응한 위치에 콘택트홀을 형성하기 위해, 이것에 대응한 위치의 레지스트(8)의 도포, 즉 레지스트패턴을 형성한다. 본 도 (e)에 있어서는 충간 절연막의 콘택트홀 형성부에는 레지스트가 형성되지 않고 구멍(80)이 마련되어 있는 것을 알 수 있다.

(f) 충간절연막(7)과 게이트절연막(5)을 건식에칭으로 가공하고, 소스전극, 드레인전극 각각에 대응한 위치에 콘택트홀(9)을 형성한다. 또한, 에칭가스로서는  $\text{CF}_4$ 와  $\text{CHF}_3$ 와  $\text{O}_2$ 의 혼합가스를 사용하여 반응성 이온에칭(RIE)을 행한다.

그런데 이 경우, 콘택트홀의 아래나 그 근방의 실리콘막은 2층구조이기 때문에, 완전히 충간절연막과 게이트절연막을 제거하기 위해 다소의 오버에칭을 거쳐도 실리콘막이 소실되어 버리는 것은 아니다.

나아가서는, 콘택트홀 저부에 충간절연막인  $\text{SiO}_2$ 가 남는 일은 없으며, 반대로 반도체층도 충분히 존재하여 양호한 콘택트홀의 형성이 이루어지게 된다. 게다가 이때, 콘택트홀부의 실리콘막이 충분히 두꺼운 만큼, 후술하는 소스전극, 드레인전극과 실리콘막의 접촉면적도 충분히 확보하게 된다. 또 이것은, 후술하는 다른 실시의 형태에서도 마찬가지이다.

(g) 레지스트패턴을 제거한 후, 소스 및 드레인전극 형성용막을 전면에 형성하고, 또 소스전극, 드레인전극에 대응한 위치에만 상기 전극형성용막을 남기고 다른 것은 에칭한다. 이것에 의해 콘택트홀을 통하여 반도체층에 양호하게 접촉하는 소스전극(10), 드레인전극(11)이 형성된다.

또한, 이상의 다른 필요에 따라서 소스전극부, 드레인전극부, 게이트전극부에의 불순물인 P이나 B이온의 타입 등이 이루어지는 것은 물론이지만, 이들은 소위 주지기술이기 때문에 그 설명은 생략한다. 그리고 이것은, 다른 실시의 형태에서도 마찬가지이다.

이상 설명해온 바와 같이 본 실시의 형태에 의하면, 콘택트홀을 형성하는 공정에 있어서 절연막의 아래의 반도체막이 두껍게 마련되어 있기 때문에, 절연막 제거를 위한 건식에칭 시에, 여유를 가지고 오버에칭을 거칠 수 있다. 이 때문에 기판전면에 걸쳐 양호한 콘택트홀을 형성하는 것이 가능하게 된다.

게다가, 단지 콘택트홀과 전극과의 접촉이 양호하게 될 뿐만 아니라, 콘택트홀 형성부의 외주부에는 후막부(厚膜部)의 형성상의 제약도 있고(콘택트홀의 직경과 정도(丁度) 등일한 직경의 후막부로 하는 것은 곤란하며, 이 때문에 반드시 콘택트홀의 직경보다도 다소 크게 된다) 원통 모양으로 실리콘이 존재하기 때문에 당해 콘택트홀 내에 형성된 소스전극, 드레인전극과 실리콘막과의 접촉면적이 증가한다. 이 때문에, 이 면에서도 접촉저항이 작게 된다.

게다가 또, 트랜지스터소자로서의 기본적인 기능 발휘에 관계가 깊은 채널영역은 본래의 두께의 막이기 때문에, 레이저어닐링에 의한 용융, 재결정화에 문제가 발생하지 않으며, 나아가서는 결정인자가 큰 실리콘으로 이루어지기 때문에, 소자로서의 기본성능의 열화도 없다. 또한, 이러한 사실은 후술하는 제2~제4의 실시의 형태에서도 마찬가지이다.

또한, 오버에칭에 대하여 여유가 있기 때문에, 콘택트홀 형성시에 작업자, 감시자의 정신적인 여유도 생기며, 나아가서는 이러한 면에서도 생산성도 향상한다.

또한, 이 상의 방법으로 박막트랜지스터를 제조함으로써, 큰 패널기판 전면에 걸쳐 안정적으로 건식에칭으로 콘택트홀을 형성할 수 있다. 즉, 어떠한 트랜지스터도 양호한 콘택트저항과 안정한 특성을 얻을 수 있다. 또한, 이들의 효과는 후술하는 전체의 실시의 형태에서도 마찬가지이다.

#### (제2의 실시형태)

도 4는 본 발명에 관한 박막트랜지스터의 제조방법의 제2의 실시의 형태를 나타낸 것이다.

이하, 본 도면을 참조하면서 이 수순을 설명한다.

(a) 기판(글래스기판)(1) 상에 언더코트인  $\text{SiO}_2$ 막(2)을 전면에 형성한다. 이어서, 이 위로부터 TFT를 형성하는 위치에만 실리콘막(3)을 두께 수백 Å 정도로 형성한다.

(b) 그 위로부터 TFT의 소스전극과 드레인전극을 형성하는 위치에만 선택적으로 실리콘막을 형성하게 된다. 그 구체적 수단으로서는 리프트오프법을 채용한다. 이 때문에, 우선 소스전극, 드레인전극에 대응한 위치에 실리콘막을 형성하기 때문에 당해부를 제외한 위치에 레지스트의 도포, 즉 레지스트패턴(8)을 형성한다. 나아가서는 당해부의 레지스트층에 개구(80)가 형성된다.

(c) 그 위로부터 실리콘막을 전면에 두께 수백 Å 정도 형성한다. 이 때문에, 제1 층의 실리콘막 위에서는 소스전극, 드레인전극이 형성되는 부분 및 그 근방만 제2의 실리콘막(41, 42)이 형성되게 되어, 그 외의 부분은 레지스트층이 말하자면 차폐되어 형성되어 않는다.

(d) 개구부를 제외한 위표면에 제2의 실리콘층이 형성된 레지스트패턴을 그 위표면의 실리콘층(40)마다 제거한다. 따라서, 제2의 실리콘막은, 소스전극과 드레인전극을 형성하는 위치에 형성된 것만 선택적으로 남기게 된다.

이상에 의해, 뒤에 소스전극 및 드레인전극과 접속되는(콘택트를 취하는)영역은 실리콘막이 이층구조로 되어, 이 때문에 채널영역보다 두껍게 되어 있다.

(e) 실리콘막(3, 41, 42)을 액시머레이저어닐 등의 수단에 의해 동시에 다결정화하여 폴리실리콘막으로 한다. 그후, 먼저의 제1의 실시의 형태와 마찬가지로 하여 게이트절연막(5), 게이트전극(6), 층간절연막(7), 콘택트홀(9), 소스전극(10), 드레인전극(11)을 형성하여 TFT를 제작한다.

이상의 설명에서 알 수 있는 바와 같이, 본 실시의 형태에 있어서도 먼저의 실시의 형태와 마찬가지로, 소스전극과 드레인전극부의 반도체막이 두껍게 형성되어 있기 때문에, 콘택트홀을 형성할 때에, 여유를 가지고 오버에칭을 거치는 것이 가능하게 된다. 이 때문에, 절연막은 완전히 제거되며 이 한편으로 당해부에는 충분한 두께의 반도체층이 존재하게 된다. 나아가서는 기판전면의 트랜지스터에 걸쳐 양호한 콘택트홀을 형성할 수 있다.

#### (제3의 실시의 형태)

도 5는, 본 발명에 관한 박막트랜지스터의 제3의 실시의 형태의 제조방법을 나타낸 것이다. 이하, 본 도면을 참조하면서 이 제조방법을 설명한다.

(a) 기판(글래스 기판)(1) 상에 언더코트인  $\text{SiO}_2$  막(2)을 전면에 형성한다. 이어서, 이 상면의 TFT를 형성하는 위치에만 실리콘막(3)을 본래 필요로 하는 두께보다 두껍게, 구체적으로는 수백~수천 Å 정도로 형성한다.

(b) 소스전극과 드레인전극을 형성하는 위치만 실리콘막이 두껍게 되도록 가공한다. 구체적으로는, 우선 소스전극, 드레인전극에 대응한 위치에만 레지스트(81, 82)를 도포한다. 즉, 레지스트패턴을 형성한다.

(c) 레지스트패턴을 마스크로 하여 실리콘막을 에칭하여 본래 필요한 두께인 수백 Å으로 한다. 이 때문에 레지스트가 존재하는 부분의 실리콘막(41, 42)만 두꺼운 상태이다.

(d) 레지스트패턴을 제거한다. 이것에 의해, 소스전극과 드레인전극을 형성하는 위치 및 그 근방만 실리콘막이 두껍게 남아있다. 그 후, 실리콘막을 액시머레이저어닐 등의 수단에 의해 다결정화하여 폴리실리콘막으로 한다. 또 여기서, 두 번의 수순으로 형성된 실리콘막을 1번의 수순으로 레이저어닐하는 것은 콘택트홀부와 게이트전극부의 두께가 다른 2개의 실리콘층을 일체적으로 결정화하고, 나아가서는 특성의 향상을 기대하게 된다.

(e) 이하 먼저의 실시의 형태와 마찬가지로 하여, 게이트 절연막(5), 게이트전극(6), 층간절연막(7), 콘택트홀(9), 소스전극(10), 드레인전극(11)을 형성하여 TFT를 제작한다.

이상의 설명에서 알 수 있는 바와 같이, 본 실시의 형태에 있어서도 먼저의 실시의 형태와 동일하게 콘택트홀을 형성할 때, 소스전극과 드레인전극부의 반도체막이 미리 두껍게 마련되어 있기 때문에, 충분히 여유를 가지고 오버에칭을 거치는 것이 가능하게 된다. 나아가서는 절연막의 완전한 제거를 도모하면서, 충분한 두께의 반도체막을 남기는 것이 가능하게 되고, 기판전면의 트랜지스터에 걸쳐 양호한 콘택트홀을 형성할 수 있다.

#### (제4의 실시의 형태)

본 실시의 형태는, 바텀게이트형 트랜지스터에 관한 것이다.

도 6에 본 실시의 형태의 트랜지스터의 단면구조를 나타낸다.

본 도면에서, 1은 글래스기판이다. 2는, 언더코트로서의  $\text{SiO}_2$ 막이다. 3은, 폴리실리콘막이다. 5는, 게이트절연막이다. 6은 기판 상에 형성된 게이트전극이다. 7은, 층간절연막이다. 10은, 소스전극이다. 11은 드레인전극이다.

본 도면에 나타내는 바와 같이, 소스전극 및 드레인전극부 및 그 근방의 폴리실리콘막(41, 42)은 다른

부분보다도 두껍게 형성되어 있다.

이 때문에, 먼저의 각 실시의 형태와 동일하게 드레인전극 및 소스전극 형성을 위하여 층간절연막에 콘택트홀을 형성할 때, 폴리실리콘막을 제거해버릴 위험성이 없다. 또한, 소스전극, 드레인전극과 폴리실리콘막과의 접촉면적도 충분히 확보되어, 이 한쪽 채널영역의 폴리실리콘의 성능저하의 염려도 없다.

또한, 본 실시의 형태의 TFT의 제조방법은 기본적으로는 먼저의 각 실시의 형태와 동일한 기술을 사용하기 때문에, 그 설명은 생략한다.

#### (제5의 실시의 형태)

본 실시의 형태 및 이 이후 제7의 실시의 형태까지는 제2의 발명군에 대한 것이다.

본 실시의 형태의 박막트랜지스터의 제조방법에 대하여 도 7을 참조하면서 설명한다.

(a) 글래스기판(1) 상에 언더코트  $SiO_2$ 막(2)을 전면에 형성한다. 이어서, 이 위로부터 박막트랜지스터를 형성하는 위치에만 선택적으로 폴리실리콘막(3)을 형성한다.

(b) 전면에 게이트절연막(5)을 CVD법으로 두께 수백 Å 정도로 형성한다.

(c) 소스전극, 드레인전극이 형성되는 위치(51)의 게이트산화막을 제거한다.

또한, 이 제거방법으로서는 될 수 있는 한 폴리실리콘막에 손상을 입히지 않도록 습식에칭으로 선택적으로 게이트산화막만을 제거하는 것이 바람직하며, 에칭액으로서는 희석한 불산 또는 불산과 불화 암모늄액의 혼합액을 사용한다.

(d) 기판전면에 티탄막(15)과 전기저항이 낮은 알루미늄 합금막(16)을 적층한다. 두께는 각각 수천 Å으로 한다.

그 후, 글래스 기판의 내열한계에 대하여 충분한 여유가 있는 300~400°C 정도에서 1시간 정도 열처리를 행한다. 이때 소스전극, 드레인전극이 되는 위치의 게이트절연막은 제외되기 때문에, 폴리실리콘막과 티탄막이 직접 접촉하고 있고, 이 영역에서는 실리콘이 티탄막 층에 열로 확산해 가며, 전기적 접촉의 확실한 확보와 건식에칭 시의 스트레스로서 충분한 두께의 티탄실리사이드막(17)이 형성된다.

또한, 이 티탄막을 형성할 때, 스퍼터법으로 형성하면 열처리를 행하지 않고도 충분히 계면에 티탄실리사이드막을 형성할 수 있다. 또한, 이 금속막이 티탄이 아니라도, 200~450°C 정도로 실리콘, 특히 폴리실리콘과 실리사이드막을 형성하는 금속이라면 좋고, 예컨대 티탄 이외에도 니켈, 플라티나, 코발트 등을 들 수 있다.

#### (e) 게이트전극을 형성한다.

구체적으로는, 우선 게이트전극의 위치에 대응한 레지스트패턴(8)을 형성하고, 이어서 이미 형성되어 있는 알루미늄 합금막과 티탄막을 에칭한다. 이 때의 에칭은 알루미늄 합금막은 건식에칭, 습식에칭 중 어느 쪽이라도 좋다. 그러나, 티탄막은 습식에칭을 행한다. 이것은 폴리실리콘막이나 티탄막과 동일하게 티탄을 포함하는 티탄실리사이드막에 손상을 주지 않기 위함이다. 또 이때, 소스전극, 드레인전극에 대응한 부분에서는 실리콘과 반응하지 않은 티탄막이 제거되게 된다.

이 공정에 의해 소스전극, 드레인전극이 되는 위치만 폴리실리콘막의 표면이 실리사이드화한 것이 된다.

(f) 레지스트 패턴을 제거하고, 또 전면에 층간 절연막(7)을 형성한다. 형성방법은 CVD법에 의한 것으로,  $SiO_2$ 막을 5000 Å의 두께로 형성하였다. 또한, 두께로서는 수천 Å이라면 좋다.

#### (g) 게이트 전극, 소스전극, 드레인전극에 대응한 위치에 콘택트홀을 형성한다.

구체적으로는, 대응한 위치에 콘택트홀을 형성하기 위해 당해를 제외하고 레지스트층을 형성한다. 즉, 레지스트 패턴(81)을 형성한다. 이후, 건식에칭으로 게이트전극, 소스전극, 드레인전극에 대응한 위치에 콘택트홀(9)을 형성한다.

이때,  $CF_4/CHF_3/O_2$ 의 혼합가스를 사용하여 반응성 이온에칭(RIE)을 행한다. 그런데, 소스전극, 드레인전극 부분에 형성되어 있는 실리사이드막은, 이 건식에칭가스로는 (실용상) 전혀 에칭되지 않는다.

따라서, 실리사이드막은 형성되어 있는 층간절연막에 비교하여 에칭가스에 대한 선택비(내성)를 충분히 높이 취하기 때문에, 설령 실리사이드층이 얇더라도 조금씩 오버에칭을 거쳐도 폴리실리콘막에 손상을 입히는 일은 없다.

이것에 의해 콘택트홀 저부에 층간 절연막인  $SiO_2$ 가 남아 있거나 기판 내에서의 에칭을 편차에 의한 에칭 불량이 발생하거나 하는 일없이 양호한 콘택트홀을 형성할 수 있다.

(h) 레지스트패턴을 제거한 후, 전면에 재자 실리사이드를 구성하는 금속과 동일하며, 나아가서는 그것만을 실리사이드와 접촉성이 뛰어난 티탄막을 얇게 형성한다. 이어서, 티탄과 동일한 금속이기 때문에 티탄막과 양호하게 접촉하고, 게다가 전기저항이 낮으며, 또한 층간절연막의 가스나 액체로 에칭되지 않는 알루미늄 합금막을 전면에 형성한다. 이러한 이유에서, 게이트전극, 소스전극, 드레인전극에 대응한 위치에만 상기 티탄막(92)과 알루미늄 합금막(93)을 남기고, 다른 장소는 에칭으로 이를 양 금속막을 제거함으로써 게이트전극(6), 소스전극(10), 드레인전극(11)을 형성한다.

이상과 같이 본 실시의 형태에 의하면, 반도체막과 소스, 드레인전극과의 사이에 양자와 확실하게 접촉하도록 형성된 실리사이드막이 존재하게 되기 때문에, 콘택트 저항을 저감할 수 있음과 동시에, 층간절연막 등의 건식에칭 시에 실리사이드막이 층간절연막에 비교하여 에칭가스에 대하여 높은 선택성(내성)을 가지기 때문에, 결과적으로 오버에칭에 근거하는 반도체층으로의 손상도 저감할 수 있다.

또한, 실험의 결과에서는 콘택트홀의 직경이 5μm, 특히 4μm이하의 경우에 전기저항 저하의 효과가 큰 것이 판명되었다.

또한, 반도체의 막두께가 650Å 이하의 경우에 전기저항 저하의 효과가 큰 것이 판명되었다.

그리고, 이러한 사실은 후에 설명하는 제6, 제7의 실시의 형태에서도 동일하다.

또한, 먼저의 제1에서 제4의 실시의 형태와 동일한 효과도 얻어진다.

#### (제6의 실시의 형태)

이하, 본 발명의 다른 실시의 형태의 박막트랜지스터의 제조방법에 대하여 도 8을 참조하면서 설명한다.

(a) 글래스기판(1) 상에 언더코트층으로서의 SiO<sub>2</sub>막(2)을 전면에 형성한다. 이어서, 이 위로부터 박막트랜지스터를 형성하는 위치에만 선택적으로 폴리실리콘막(3)을 형성한다.

(b) 소스전극 및 드레인전극에 대응한 위치에만 티탄실리사이드막(17)을 형성한다. 또한, 필요한 부분만 선택적으로 티탄실리사이드막을 형성하는 방법으로서는 이하의 2개의 방법이 있다.

제1의 방법에서는 티탄실리사이드막을 형성하고자 하는 위치에만 개구부를 가지는 레지스트패턴을 형성하여 놓고, 그 위로부터 티탄막을 전면에 형성한 후, 레지스트패턴을 리프트오프법으로 제거하고, 선택적으로 필요한 부분만 티탄막을 남긴다. 그후, 300~450°C 정도에서 약 1시간정도의 열처리를 행하고 티탄막과 폴리실리콘막을 반응시켜, 양자의 계면에 티탄실리사이드막(17)을 형성한다. 또한, 그 후 반응하지 않은 티탄막을 제거하기 위해 산계(酸系)의 에칭액으로 처리를 한다. 또한, 티탄막을 형성하는 방법으로서 스퍼터법을 사용한 경우에는 열처리를 생략하거나 또는 시간을 단축할 수 있다.

제2의 방법에서는 폴리실리콘막을 형성한 후 전면에 티탄막을 형성하고, 그후 소스전극 및 드레인전극에 대응한 위치에만 레지스트패턴을 형성하고, 산계의 에칭액으로 불필요한 부분의 티탄막을 제거하고, 소스전극, 드레인전극의 위에만 티탄막을 남긴다. 다만, 이 경우에는 티탄막은 저항가열법 또는 EB 증착법으로 형성하는 데 한정한다.

그후, 상기에 나타내는 바와 같은 열처리를 행하여 양자의 계면에 티탄실리사이드막을 형성한다. 그후 반응하지 않은 티탄막을 제거하기 위해 산계의 에칭액으로 처리를 한다.

(c) CVD법으로 두께 수백 Å 정도의 게이트절연막(5)을 전면에 형성한다.

(d) 전면에, 최초 티탄막(22), 이어서 알루미늄 합금막(23)을 적층한다. 두께는 각각 수천 Å으로 하였다.

(e) 게이트전극을 형성한다. 구체적으로는 우선 게이트전극에 대응한 레지스트패턴(8)을 형성하고, 이어서 알루미늄 합금막과 티탄막을 에칭한다. 또한, 이때의 에칭은 알루미늄 합금막은 건식에칭, 습식에칭 중의 어느 쪽이라도 좋다.

(f) 레지스트패턴을 제거한 후에, 전면에 층간 절연막(7)을 형성한다. 형성방법은 CVD법에 의한 SiO<sub>2</sub>막으로, 두께는 5000Å으로 하였지만, 두께로서는 수천 Å 정도라면 좋다.

(g) 콘택트홀을 형성한다. 구체적으로는 우선 게이트전극, 소스전극, 드레인전극에 대응한 위치에 콘택트홀(9)을 형성하기 위해, 당해부를 제외하고 레지스트로 덮는, 즉 레지스트패턴(81)을 형성한다. 그후, 건식에칭으로 게이트전극, 소스전극, 드레인전극에 대응한 위치에 콘택트홀을 형성한다. 또한, 이 때 CF<sub>4</sub>/CHF<sub>3</sub>/O<sub>2</sub>의 혼합가스를 사용하여 반응성 이온에칭(RIE)을 행한다.

그런데, 소스전극, 드레인전극 부분에 형성되어 있는 실리사이드막은 이 건식에칭가스로는 (실용상) 전혀 에칭되지 않는다. 따라서, 형성되어 있는 층간절연막은 에칭가스에 대한 선택비(내성비)가 충분히 높게 취해지므로, 확실한 콘택트홀 형성을 위해 층간절연막에 오버에칭을 거쳐도 폴리실리콘막에 손상을 입히는 일은 없다.

이것에 의해 콘택트홀 저부(91)에 층간절연막인 SiO<sub>2</sub>가 남거나, 기판 내에서의 에칭을 편차에 의한 에칭 불량이 발생하거나 하는 일은 없이 양호한 콘택트홀을 형성할 수 있다.

(h) 레지스트패턴을 제거한 후에, 전면에 재차 티탄실리사이드와 접촉성이 양호한 티탄막을 얇게, 이어서 동일한 금속이기 때문에 티탄막과 접촉성이 양호하며 또 전기저항이 낮은 알루미늄 합금막(23)(보다도 티탄막과 비교하면 두꺼운 막)을 콘택트홀 깊이 이상의 두께로 전면에 형성하여, 게이트전극, 소스전극, 드레인전극에 대응한 위치에만 상기 티탄막(92)과 알루미늄 합금막(93)을 남기고 다른 것은 에칭함으로써 게이트전극(6), 소스전극(10), 드레인전극(11)을 형성한다.

본 실시의 형태에 있어서도 먼저의 실시의 형태와 마찬가지로, 반도체막과 소스·드레인전극과의 사이에 실리사이드막이 개재하게 되기 때문에 콘택트저항을 저감할 수 있음과 동시에, 층간절연막 등의 건식에칭 시에 실리사이드막이 높은 선택성을 가지므로, 결과적으로 오버에칭을 근거로 하는 반도체층에의 손상도 저감할 수 있다.

#### (제7 실시의 형태)

본 실시의 형태는, 바텀게이트형 트랜지스터에 관한 것이다.

도 9에, 본 실시의 형태의 트랜지스터의 단면구조를 나타낸다.

본 도면에 있어서, 1은 글래스기판이다. 2는 언더코트로서의 SiO<sub>2</sub>막이다. 3은, 폴리실리콘막이다. 5는, 게이트절연막이다. 6은 기판 상에 형성된 게이트전극이다. 7은 층간절연막이다. 10은 소스전극이다. 11은 드레인전극이다.

본 도면에 나타낸 바와 같이, 소스전극 및 드레인전극부 및 그 근방의 폴리실리콘막 상에 티탄실리사이드의 박막(17)이 형성되어 있다.

이 때문에, 먼저의 제5 및 제6의 실시의 형태와 동일하게 드레인전극 및 소스전극 형성을 위해 층간절연막에 콘택트홀을 형성할 때, 폴리실리콘막을 제거해 버릴 위험성이 없다.

또한, 소스전극, 드레인 전극과 폴리실리콘막과의 전기적 접촉도 충분히 확보되어 이 한쪽 채널영역의 폴리실리콘의 성능저하의 염려도 없다.

또한, 본 실시의 형태의 TFT의 제조방법은 기본적으로는 먼저의 제5 및 제6의 실시의 형태와 동일한 기술을 사용하기 때문에, 그 설명은 생략한다.

#### (제8의 실시의 형태)

본 실시의 형태는 제1의 발명군과 제2의 발명군의 양쪽을 채용한 트랜지스터에 관한 것이다.

도 10에 이것을 나타낸다. 본 도 (a)는 도 3(g)에 나타내는 트랜지스터의 소스전극 및 드레인 전극하부에 실리사이드층(17)을 형성한 것이다. 본 도의 (b)는 도 6에 나타내는 트랜지스터의 소스전극 및 드레인전극 하부에 실리사이드층(17)을 형성한 것이다.

다만, 이들은 이미 설명한 실시의 형태와 동일한 수순으로 제조하기 때문에, 그 설명은 생략한다.

이러한 구성에 의해 드레인전극 및 소스전극이 세경화(細徑化)해도, 확실하게 전극과 반도체층의 전기적 접촉을 도모하게 된다.

#### (제9의 실시의 형태)

본 실시의 형태는 도 7에 나타내는 먼저의 제5의 실시의 형태의 응용예이다.

이하, 먼저의 제5 실시의 형태와 상위한 점에 대해서만, 동일하게 상위한 점만 나타낸 도 11을 참조하면서 설명한다.

우선, (d)의 단계까지는 도 7과 동일하다.

(e-1) 도 7(e) 단계에서, 다층구조의 게이트전극을 형성하는 최하층의 티탄층(151)을 그 상부의 알루미늄 합금층(161)보다도 드레인전극측 및 소스전극측으로 1~4 $\mu$ m정도 비어져 나온 형으로 한다.

(e-2) 이어서, 이 게이트 전극을 마스크로 하여, 상부로부터 불순물이온(도면에서는, P)을 타입한다.

그런데 이 경우, 알루미늄 합금층과 티탄층이 겹친 채널영역에는, 마스크가 충분히 두껍기 때문에 불순물이온은 침입되지 않는다. 티탄층만의 부분에서는 마스크가 적고 얕기 때문에 불순물이온은 다소 침입한다. 그외의 다른 부분은 마스크가 존재하지 않기 때문에 불순물이온은 많이 침입한다. 따라서, LDD 구조의 트랜지스터가 용이하게 제조되게 된다.

(f-1) 도 7(f)의 단계와 동일하게, 층간 절연막(7)을 형성한다.

이하, 도 7과 동일하다.

또한, 본 실시의 형태에서는 채널영역 및 LDD 영역의 마스크로, 수소와의 결합력이 높은 티탄을 사용하므로, 불순물의 원료가스나 희석가스로부터 발생한 고에너지의 수소이온의 반도체부에의 침입이 다소라도 억제된다. 이 때문에, 매우 뛰어난 제품으로 되었다.

#### (제10의 실시의 형태)

본 실시의 형태도, 도 7에 나타내는 먼저의 제5의 실시의 형태의 응용예이다.

이하, 먼저의 제7의 실시의 형태와 상위한 점에 대해서만, 동일하게 상위한 점만 나타낸 도 12를 참조하면서 설명한다.

우선, (c)의 단계까지는 도 7과 동일하다.

(d-1) 도 7(d)의 단계에서, 소스전극부와 드레인전극부(152) 뿐만아니라, 게이트전극부(153)에도 티탄막을 형성한다.

(d-2) 게이트전극부의 티탄막의 상부에 드레인전극측 및 소스전극측에 1~4 $\mu$ m 정도 비어져 나온 형으로 실리콘막(155)을 형성한다.

(d-3) 열처리에 의해, 소스전극부와 드레인전극부의 티탄막(152)과 그 하부의 실리콘 뿐만 아니라 게이트 전극부의 티탄막과 그 상부의 실리콘막을 반응시켜 실리사이드층을 형성시킨다. 다만 이때, 게이트전극부의 티탄막(1530)과 그 상부의 실리콘막(1550)은, 그 전체가 반응하지 않고 티탄막과 실리콘막의 사이에 실리사이드층(1540)이 형성되도록 해 놓는다.

(d-3-1) 이어서, 이 게이트전극을 마스크로 하여 상부로부터 불순물이온(도면에서는 P)을 타입한다.

그런데, 실리사이드의 불순물이온의 차폐능력은 티탄(밀도 4.5)과 실리콘(밀도 2.3)의 대략 중간이다. 따라서, 이 게이트전극의 차폐능력은 3단계로 변화하게 된다. 즉, 실리콘층과 실리사이드층과 티탄층이 겹친 채널영역에는 마스크가 충분하기 때문에 불순물이온은 침입하지 않는다. 실리사이드층과 실리콘층의 부분에서는 마스크의 형상과 밀도의 면에서 적고 불충분하기 때문에 불순물이온은 조금 침입한다. 실리콘층만의 부분에서는 마스크가 얕기 때문에 불순물이온은 다소 침입한다. 그 외의 부분은, 마스크가 존재하지 않기 때문에 불순물이온은 많이 침입한다. 따라서, 2단 LDD구조의 트랜지스터가 용이하게 제조되게 된다.

(f-1) 도 7(f)의 단계와 동일하게, 층간 절연막(7)을 형성한다.

이하, 도 7과 동일하다.

또한, 본 실시의 형태에서는 채널영역 및 LDD 영역의 마스크에 수소와의 결합력이 높은 티탄화합물을 사용하기 때문에, 불순물의 원료가스나 희석가스로부터 발생한 고에너지의 수소이온의 반도체부에의 침입이 억제된다. 게다가, 2단 LDD구조를 가진다. 이 때문에, 매우 뛰어난 제품으로 되었다.

이상, 본 발명을 몇 개의 실시의 형태에 기초하여 설명하여 왔지만, 본 발명은 어느 것도 이상에 한정되지 않는 것은 물론이다. 즉, 본 발명의 주요지는 소자로서의 기본적 성능발휘의 면에서 박막의 반도체(재료)를 사용하는 미세한 트랜지스터(소자)나 그 제조에 있어서, 반도체박막을 덮는 절연막에 소스전극, 드레인전극을 형성하기 위한 콘택트홀을 형성하는 경우에, 어떠한 수단이건 간에 절연막 재료와 반도체 재료와의 화학적성질이 유사하므로, 그 상태에서 정확한 깊이의 콘택트홀의 형성이 곤란한 때에, 콘택트홀부의 반도체막에 여유를 가지면서 채널부는 박막인 채로 하여 두는 것에 있다.

또한, 소스전극, 드레인전극과 반도체층과의 확실한 전기적 접촉을 도모하기 위해 실리사이드를 이용하는 것에 있다. 그리고, 폴리실리콘이나 비결정질 실리콘은 크리스탈실리콘과 다르며, 티탄 등의 금속과 충분히 낮은 온도에서 실리사이드를 형성하는 것에 착안한 것에 있다.

따라서, 이 주 요지에 반하지 않는 한, 본 발명에 포함되는 것이 된다. 구체적으로는, 예컨대 이하와 같이 해도 좋다.

- 1) 실시의 형태에서는 실리콘막의 에칭가공 후에 다결정화공정을 행하고 있지만, 먼저 다결정화하고 나서 에칭가공을 행하고 있다.
- 2) 기판은 석영 등으로 하고 있다.
- 3) 각 박막의 형성은 다른 방법으로 하고 있다.
- 4) 게이트전극 등의 재료는 동이나 은이나 그들의 합금 등 다른 금속 등으로 하고 있다.
- 5) 반도체로서 실리콘이 아닌, 반도체로서의 성질 및 화학적 성질이 Si에 유사한 Si-Ge(Ge : 최대 30%), Si-Ge-C(C : 최대 5%) 등, 또는 장래의 기술의 발달의 아래, 박막트랜지스터용 반도체로서 실리콘계통이 아닌, 어느 다른 물질을 사용하고 있다.
- 6) 장래의 기술의 발달 하에서, 제2의 실리콘막 등의 건식에칭 시의 콘택트홀부의 막두께의 여유를 작게 하고 있다.
- 마찬가지로, 소스전극, 드레인전극을 형성하는 부분에서의 실리콘의 막두께에 여유를 가진 영역의 직경(물론, 평면적 여유)을 콘택트홀부의 직경의  $+1\mu\text{m}$ 이하 또는  $+0$  등 작게 하고 있다.
- 실리사이드의 직경도, 양 전극에 대하여 다소 여유를 가지거나, 어느 이유에서 반대로 작게 하거나 하고 있다.
- 7) 패널의 크기는 불문한다.
- 마찬가지로, 실리사이드의 직경은 본 발명의 효과가 특히 큰  $4\mu\text{m}$ 이하가 아닌,  $10\mu\text{m}$  이상으로 하고 있다.
- 마찬가지로, 반도체층의 두께는 본 발명의 효과가 특히 큰  $650\text{ \AA}$ 이하가 아닌,  $1000\text{ \AA}$  이상으로 하고 있다.
- 8) 콘택트홀의 형상은 원통형이 아닌, 아래로 좁아지는 모양 등으로 하고 있다.

#### 발명의 효과

본 발명에 의하면, 콘택트홀을 형성하는 공정에 있어서 절연막의 아래의 반도체막이 두껍게 마련되어 있기 때문에, 절연막 제거를 위한 건식에칭 시에 여유를 가지고 오버에칭을 거칠 수 있다. 이 때문에 기판 전면에 걸쳐 양호한 콘택트홀을 형성하는 것이 가능하게 된다.

게다가, 단지 콘택트홀과 전극과의 접촉이 양호하게 될 뿐만 아니라, 콘택트홀 형성부의 외주부에는 후막부(厚膜部)의 형성상의 재약도 있고(콘택트홀의 직경과 정도(丁度) 동일한 직경의 후막부로 하는 것은 곤란하여, 이 때문에 반드시 콘택트홀의 직경보다도 다소 크게 된다) 원통 모양으로 실리콘이 존재하기 때문에 당해 콘택트홀 내에 형성된 소스전극, 드레인전극과 실리콘막과의 접촉면적이 증가한다. 이 때문에, 이 면에서도 접촉저항이 작게 된다.

게다가 또, 트랜지스터소자로서의 기본적인 기능 발휘에 관계가 깊은 채널영역은 본래의 두께의 막이기 때문에, 레이저어닐링에 의한 용융, 재결정화에 문제가 발생하지 않으며, 나아가서는 결정일자가 큰 실리콘으로 이루어지기 때문에 소자로서의 기본성능의 열화도 없다.

또한, 오버에칭에 대하여 여유가 있기 때문에 콘택트홀 형성시에 작업자, 감시자의 정신적인 여유도 생기며, 나아가서는 이러한 면에서도 생산성도 향상한다.

또한, 이상의 방법으로 박막트랜지스터를 제조함으로써, 큰 패널기판 전면에 걸쳐 안정적으로 건식에칭으로 콘택트홀을 형성할 수 있다. 즉, 어떠한 트랜지스터도 양호한 콘택트저항과 안정한 특성을 얻는 것이 가능하다.

#### (57) 청구의 범위

##### 청구항 1

채널영역, 소스영역 및 드레인영역으로 이루어지는 반도체박막과, 층간절연막과, 게이트절연막과, 바텀 게이트형이라면 층간절연막에 텁게이트형이라면 이것에 대하여 게이트절연막에도 형성된 콘택트홀을 통

하여 반도체박막에 접속되는 소스전극 및 드레인전극을 가지는, 기판 상에 형성된 박막트랜지스터의 제조방법으로서,

상기 반도체박막의 적어도 소스전극 및 드레인 전극과 접속하기 위한 콘택트홀이 형성되는 영역을 채널 영역보다도 두껍게 형성하는 비채널영역 두께증가 형성스텝을 가지고 있는 것을 특징으로 하는 박막트랜지스터의 제조방법.

#### 청구항 2

제 1항에 있어서,

상기 비채널영역 두께증가 형성스텝은,

상기 반도체박막의 적어도 소스전극 및 드레인전극과 접하는 영역을 복수회의 성막공정에 의해 다른 부분보다 두껍게 형성하는 복수회 성막스텝인 것을 특징으로 하는 박막트랜지스터의 제조방법.

#### 청구항 3

기판 상의 소스전극 및 드레인전극에 대응한 위치에만 제1의 반도체 박막을 형성하는 제1 반도체박막 형성스텝과,

상기 형성된 제1의 반도체박막을 덮어 제2의 반도체박막을 박막트랜지스터 형성부에 선택적으로 형성하는 제2 반도체박막 형성스텝과,

상기 형성된 제2의 반도체박막을 덮어 게이트절연막을 형성하는 게이트절연막 형성스텝과,

상기 형성된 게이트절연막의 상부에 게이트전극을 형성하는 게이트전극 형성스텝과,

상기 형성된 게이트절연막과 게이트전극을 덮어 층간절연막을 형성하는 층간절연막 형성스텝과,

상기 형성된 게이트절연막 및 층간절연막의 소스전극, 드레인전극에 대응한 위치에 건식에칭으로 콘택트홀을 형성하는 콘택트홀 형성스텝과,

상기 형성된 콘택트홀 내에 상기 반도체박막에 접속된 소스전극, 드레인전극을 형성하는 전극형성스텝을 가지고 있는 것을 특징으로 하는 박막트랜지스터의 제조방법.

#### 청구항 4

기판 상의 소정의 위치에 게이트전극을 형성하는 게이트전극 형성스텝과,

상기 형성된 게이트전극을 덮어 게이트절연막을 형성하는 게이트절연막 형성스텝과,

기판 상 또는 게이트절연막 상의 소스전극 및 드레인전극에 대응한 위치에만 제1의 반도체 박막을 형성하는 제1 반도체박막 형성스텝과,

상기 형성된 제1의 반도체박막을 덮어 제2의 반도체박막을 박막트랜지스터 형성부에 선택적으로 형성하는 제2 반도체박막 형성스텝과,

상기 형성된 제2 반도체박막을 덮어 층간절연막을 형성하는 층간절연막 형성스텝과,

상기 형성된 층간절연막의 소스전극, 드레인전극에 대응한 위치에 건식에칭으로 콘택트홀을 형성하는 콘택트홀 형성스텝과,

상기 형성된 콘택트홀 내에 상기 반도체박막에 접속된 소스전극, 드레인전극을 형성하는 전극형성스텝을 가지고 있는 것을 특징으로 하는 박막트랜지스터의 제조방법.

#### 청구항 5

기판 상의 소정의 위치에 제1의 반도체박막을 형성하는 제1 반도체박막 형성스텝과,

상기 형성된 제1의 반도체박막 상의 소스전극 및 드레인 전극에 대응한 위치에만 제2의 반도체박막을 형성하는 제2의 반도체박막 형성스텝과,

상기 형성된 제1과 제2의 반도체 박막을 덮어 게이트절연막을 형성하는 게이트 절연막 형성스텝과,

상기 형성된 게이트절연막의 상부에 게이트전극을 형성하는 게이트전극 형성스텝과,

상기 형성된 게이트절연막과 게이트전극을 덮어 층간절연막을 형성하는 층간절연막 형성스텝과,

상기 형성된 게이트절연막 및 층간절연막의 소스전극, 드레인전극에 대응한 위치에 건식에칭으로 콘택트홀을 형성하는 콘택트홀 형성스텝과,

상기 형성된 콘택트홀 내에 상기 반도체박막에 접속된 소스전극, 드레인전극을 형성하는 전극형성스텝을 가지고 있는 것을 특징으로 하는 박막트랜지스터의 제조방법.

#### 청구항 6

기판 상의 소정위치에 게이트전극을 형성하는 게이트전극 형성스텝과,

상기 형성된 게이트전극을 덮어 게이트절연막을 형성하는 게이트절연막 형성스텝과,

상기 형성된 게이트전극을 덮어 제1의 반도체박막을 형성하는 제1 반도체박막 형성스텝과,

상기 형성된 제1의 반도체박막 상의 소스전극 및 드레인전극에 대응한 위치에만 제2의 반도체박막을 형

성하는 제2 반도체박막 형성스텝과,

상기 형성된 제2 반도체박막을 덮어 층간절연막을 형성하는 층간절연막 형성스텝과,

상기 형성된 층간절연막의 소스전극, 드레인전극에 대응한 위치에 건식에칭으로 콘택트홀을 형성하는 콘택트홀 형성스텝과,

상기 형성된 콘택트홀 내에 상기 반도체박막에 접속된 소스전극, 드레인전극을 형성하는 전극형성스텝을 가지고 있는 것을 특징으로 하는 박막트랜지스터의 제조방법.

#### 청구항 7

기판 상에 반도체박막을 본래 필요로 되는 두께보다도 두껍게 형성하는 반도체박후막(薄厚膜) 형성스텝과,

상기 반도체박막의 소스전극 및 드레인전극에 대응한 영역만을 남기고 다른 영역을 본래의 두께로 되도록 얇게 가공하는 박막화스텝과,

상기 가공된 반도체박막을 덮어 게이트절연막을 형성하는 게이트절연막 형성스텝과,

상기 형성된 게이트절연막의 상부에 게이트전극을 형성하는 게이트전극 형성스텝과,

상기 형성된 게이트전극과 게이트절연막을 덮어 층간절연막을 형성하는 층간절연막 형성스텝과,

상기 형성된 게이트절연막과 층간절연막의 소스전극, 드레인전극에 대응한 위치에 건식에칭으로 콘택트홀을 형성하는 콘택트홀 형성스텝과,

상기 형성된 콘택트홀 내에 상기 반도체박막에 접속된 소스전극, 드레인전극을 형성하는 전극형성스텝을 가지고 있는 것을 특징으로 하는 박막트랜지스터의 제조방법.

#### 청구항 8

기판 상의 소정위치에 게이트전극을 형성하는 게이트전극 형성스텝과,

상기 형성된 게이트전극을 덮어 게이트절연막을 형성하는 게이트절연막 형성스텝과,

상기 형성된 게이트전극을 덮어 반도체박막을 본래 필요로 되는 두께보다도 두껍게 형성하는 반도체박후막 형성스텝과,

상기 반도체박막의 소스전극 및 드레인전극에 대응한 영역만을 남기고 다른 영역을 본래의 두께로 되도록 얇게 가공하는 박막화 스텝과,

상기 가공된 반도체박막을 덮어 층간절연막을 형성하는 층간절연막 형성스텝과,

상기 형성된 층간절연막의 소스전극, 드레인전극에 대응한 위치에 건식에칭으로 콘택트홀을 형성하는 콘택트홀 형성스텝과,

상기 형성된 콘택트홀 내에 상기 반도체박막에 접속된 소스전극, 드레인전극을 형성하는 전극형성스텝을 가지고 있는 것을 특징으로 하는 박막트랜지스터의 제조방법.

#### 청구항 9

채널영역, 소스영역 및 드레인영역으로 이루어지는 반도체박막과, 층간절연막과, 게이트절연막과, 바텀게이트형이라면 층간절연막에 톱게이트형이라면 이것에 가하여 게이트절연막에 형성된 콘택트홀을 통하여 반도체박막에 접속되는 소스전극 및 드레인전극을 가지는, 기판 상에 형성된 박막트랜지스터로서,

상기 반도체박막의 소스전극 및 드레인전극과 접속하기 위한 콘택트홀이 형성되는 영역의 반도체박막을 채널영역보다도 두껍게 형성한 비채널영역 두께증가(增厚)형성 반도체부를 가지고 있는 것을 특징으로 하는 박막트랜지스터.

#### 청구항 10

제 9항에 있어서,

상기 반도체 박막은,

실리콘, 실리콘·게르마늄 또는 실리콘·게르마늄·탄소로 이루어지는 실리콘계통 반도체박막인 것을 특징으로 하는 박막트랜지스터.

#### 청구항 11

채널영역, 소스영역 및 드레인 영역을 구비한 반도체막과, 게이트전극과, 소스전극과, 드레인전극을 기판 상에 가지는 박막트랜지스터의 제조방법으로서,

상기 반도체막과 상기 소스전극 및 상기 드레인전극과의 사이에 실리사이드막을 형성하는 실리사이드막 형성스텝을 가지는 것을 특징으로 하는 박막트랜지스터의 제조방법.

#### 청구항 12

제 11항에 있어서,

상기 실리사이드막 형성스텝에 앞서,

형성하는 실리사이드로서 티탄, 니켈, 플라티나 또는 코발트로부터 선택된 적어도 1종류의 금속의 실리

사이드를 선정하는 실리사이드금속 선정스텝을 가지고 있는 것을 특징으로 하는 박막트랜지스터의 제조방법.

#### 청구항 13

제 11항에 있어서,

상기 소스전극 및 드레인전극은 각각 복수의 금속층으로 이루어지는 복수층 소스전극 및 복수층 드레인전극이며,

상기 실리사이드층 형성스텝에 앞서, 복수층 소스전극 및 복수층 드레인전극이 형성되는 부분에, 티탄, 니켈, 플라티나 또는 코발트로부터 선택된 적어도 1종류의 금속막을 상기 실리콘막 상에 복수층 소스전극 및 복수층 드레인전극의 최하층의 층으로서 형성하는 최하층막 형성스텝을 가지고,

상기 실리사이드막 형성스텝은,

상기 형성된 최하층의 막의 금속의 하부와 실리콘막의 실리콘을 반응시키는 반응소스텝을 가지고 있는 것을 특징으로 하는 박막트랜지스터의 제조방법.

#### 청구항 14

기판 상의 소정의 위치에 실리콘막을 형성하는 실리콘막 형성스텝과,

상기 형성된 실리콘막 위 전면에 게이트절연막을 형성하는 게이트절연막 형성스텝과,

소스전극 및 드레인전극에 대응한 위치의 상기 형성된 게이트절연막을 제거한 후, 전면에 제1의 금속막을 형성하는 제1 금속막 형성스텝과,

상기 형성된 제1의 금속막과 동일하게 실리콘막이 직접 접하고 있는 부분에서 열로 양자를 반응시켜 실리사이드층을 형성하는 실리사이드층 형성스텝과,

상기 제1의 금속막을 제거하고, 그 후 상기 실리콘막 위 게이트전극에 대응한 위치의 위에 층간절연막용의 에칭가스로 침입되지 않는 금속으로 이루어지는 제2의 금속막을 형성하고, 또 그후 전면에 층간절연막을 형성하는 게이트전극 형성고려 층간절연막 형성스텝과,

상기 실리사이드층 및 상기 제2의 금속막을 에칭스톱퍼층으로서 상기 층간절연막을 건식에칭하여 게이트전극, 드레인전극, 소스전극에 대응한 위치에 콘택트홀을 형성하는 콘택트홀 형성스텝과,

그후 전면에 제3의 금속막을 형성하고, 불필요한 부분을 제거하여 게이트전극, 드레인전극, 소스전극 또는 그들의 최하층의 금속층을 형성하는 전극 등 형성스텝을 가지고 있는 것을 특징으로 하는 박막트랜지스터의 제조방법.

#### 청구항 15

제 14항에 있어서,

상기 실리콘막 형성스텝은,

650Å 이하의 막두께로 형성하는 얇은 실리콘막 형성스텝이며,

상기 콘택트홀 형성스텝은,

저부의 직경이 4μm이하로 형성되는 작은 지름 콘택트홀 형성스텝인 것을 특징으로 하는 박막트랜지스터의 제조방법.

#### 청구항 16

제 15항에 있어서,

상기 콘택트홀 형성스텝에 앞서,

상기 제3의 금속막의 재료로서 상기 제1의 금속막과 동일한 금속을 재료로서 선정하는 동일금속 선정스텝을 가지고 있는 것을 특징으로 하는 박막트랜지스터의 제조방법.

#### 청구항 17

기판 상의 소정의 위치에 게이트전극을 형성하는 게이트전극 형성스텝과,

상기 형성된 게이트전극을 덮어 게이트절연막을 형성하는 게이트절연막 형성스텝과,

상기 게이트절연막 상의 소정의 위치에 실리콘막을 형성하는 실리콘막 형성스텝과,

소스전극 및 드레인전극에 대응한 위치에만 제1의 금속막을 형성하는 제1 금속막 형성스텝과,

상기 형성된 제1의 금속막과 동일하게 실리콘막이 직접 접하고 있는 부분에서 열로 양자를 반응시켜 실리사이드층을 형성하는 실리사이드층 형성스텝과,

실리사이드층이 형성된 실리콘막 위 전면에 층간절연막을 형성하는 층간절연막 형성스텝과,

상기 실리사이드층을 에칭스톱퍼층으로서, 상기 층간절연막을 건식에칭하여 드레인전극, 소스전극에 대응한 위치에 콘택트홀을 형성하는 콘택트홀 형성스텝과,

그후 전면에 제2의 금속막을 형성하고, 불필요한 부분을 제거하여 드레인전극, 소스전극 또는 그들의 최하층의 금속층을 형성하는 전극 등 형성스텝을 가지고 있는 것을 특징으로 하는 박막트랜지스터의 제조

방법.

청구항 18

제 17항에 있어서,

상기 실리콘막 형성스텝은,

650 Å 이하의 막두께로 형성하는 얇은 실리콘막 형성스텝이며,

상기 콘택트홀 형성스텝은,

저부의 직경이 4μm이하로 형성하는 작은 지름 콘택트홀 형성스텝인 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 19

제 18항에 있어서,

상기 콘택트홀 형성스텝에 앞서,

상기 제2의 금속막의 재료로서 상기 제1의 금속막과 동일한 금속을 재료로서 선정하는 동일금속 선정스텝을 가지고 있는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 20

기판 상의 소정의 위치에 실리콘막을 형성하는 실리콘막 형성스텝과,

상기 형성된 실리콘막 상의 소스전극 및 드레인전극에 대응한 위치에만 제1의 금속막을 형성한 후, 이 제1의 금속막과 상기 실리콘막을 반응시켜 양막의 사이에 실리사이드층을 형성하는 실리사이드층 형성스텝과,

그후, 상기 실리콘막 위 전면에 절연막, 이어서 절연막용의 에칭가스로 침입되지 않는 금속으로 이루어지는 제2의 금속막을 형성하는 절연막 금속막 형성스텝과,

상기 절연막 상에 형성된 제2의 금속막을 게이트전극에 대응한 위치에만 남긴 후, 전면에 층간절연막을 형성하는 게이트전극 층간절연막 형성스텝과,

상기 형성된 실리사이드층 및 게이트전극에 대응한 위치에만 남긴 제2의 금속막을 에칭스톱퍼층으로서 상기 층간절연막을 건식에칭하여 게이트전극, 드레인전극, 소스전극에 대응한 위치에 콘택트홀을 형성하는 콘택트홀 형성스텝과,

그후 전면에 제3의 금속막을 형성하고, 불필요한 부분을 제거하여 게이트전극, 드레인전극, 소스전극 또는 그들의 최하층의 금속층을 형성하는 전극 등 형성스텝을 가지고 있는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 21

제 20항에 있어서,

상기 실리콘막 형성스텝은,

650 Å 이하의 막두께로 형성하는 얇은 실리콘막 형성스텝이며,

상기 콘택트홀 형성스텝은,

저부의 직경이 4μm 이하로 형성되는 작은 지름 콘택트홀 형성스텝인 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 22

제 21항에 있어서,

상기 콘택트홀 형성스텝에 앞서,

상기 제3의 금속막의 재료로서, 상기 제1의 금속막과 동일한 금속을 재료로서 선정하는 동일금속 선정스텝을 가지고 있는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 23

채널영역, 소스영역 및 드레인영역으로 이루어지는 실리콘박막과, 층간절연막과, 게이트절연막과, 층간절연막과 게이트절연막에 형성된 콘택트홀 내의 실리사이드층을 통하여 실리콘 박막에 접속되는 소스전극 및 드레인전극을 가지는, 기판 상에 형성된 박막 트랜지스터의 제조방법으로서,

콘택트홀 내에 실리사이드가 형성된 후, 게이트절연막 위 게이트전극에 대응하는 위치에, 상기 실리사이드를 형성하는 재료금속과 동일한 금속이며 다층구조로 이루어지는 게이트전극의 최하층으로 되는 소정 두께의 제1의 금속막을 형성하는 제1 금속막 형성스텝과,

상기 제1의 금속막 상에, 다층구조로 이루어지는 게이트전극의 제2층으로 되는 소정 두께의, 그리고 상기 층간절연막용의 에칭가스로 침입되지 않는 금속으로 이루어지는 제2의 금속막을 형성하는 제2 금속막 형성스텝과,

상기 형성된 제1의 금속막과 제2의 금속막의 불필요한 부분을 제거하고, 제1의 금속막이 제2의 금속막에 대하여 소스전극 측, 드레인전극 측의 적어도 한쪽으로 조금 비어져 나온 모양의 게이트전극 겸 마스크

를 형성하는 게이트전극 및 마스크형성 스텝과,

상기 게이트전극 및 마스크가 형성된 반제품 형태의 박막트랜지스터에 기판 상부측에서 소정의 불순물 이온을 주입하는 도핑스텝을 가지고 있는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 24

두께 650 Å 이하로 실리콘박막을 형성하는 얇은 실리콘막 형성스텝과,

최하부의 내직경이 4μm이하인 콘택트홀을 형성하는 작은 자름 콘택트홀 형성스텝을 가지고 있는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 25

제 24항에 있어서,

상기 실리사이드를 형성하고, 또한 제1의 금속막을 형성하는 금속막 재료로서, 실리콘과의 반응을 제어하기 쉽고 또 도핑 시의 수소의 침입방지능력이 높은 금속을 선정하는 금속재료 선정스텝을 가지고 있는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 26

채널영역, 소스영역 및 드레인영역으로 이루어지는 실리콘박막과, 층간절연막과, 게이트전극과, 게이트절연막과, 층간절연막과 게이트절연막에 형성된 콘택트홀 내의 실리사이드층으로 통하여 실리콘박막에 접속되는 소스전극 및 드레인전극을 가지는, 기판 상에 형성된 박막트랜지스터의 제조방법으로서,

게이트절연막 상의 게이트전극에 대응하는 위치에 상기 실리사이드를 형성하는 재료금속과 동일한 금속으로 다층구조로 이루어지는 게이트전극의 최하층으로 되는 소정의 두께의 제1의 금속막을 형성하는 게이트전극 제1 금속막 형성스텝과,

상기 게이트전극의 위치에 형성된 제1의 금속막 상에 소스전극층, 드레인전극층의 적어도 한쪽으로 조금 비어져 나온 모양으로 소정의 두께의 실리콘막을 형성하는 실리콘막 형성스텝과,

상기 실리사이드층이 아직 형성되어 있지 않은 콘택트홀 내 실리콘막 상에 실리사이드를 형성하기 위한 금속막을 형성하는 실리사이드용 금속막 형성스텝과,

콘택트홀 내에 실리사이드층을 형성하고, 아울러 게이트전극의 위치의 제1의 금속막과 그 상부, 양측부의 실리콘막 사이에 실리사이드층을 형성하는 실리사이드층 형성스텝과,

상기 게이트전극부에 실리사이드층이 형성된 반제품 형태의 박막트랜지스터에 게이트전극부의 제1의 금속막, 실리사이드층, 실리콘층을 마스크로 하여 기판 상부측에서 소정의 불순물이온을 주입하는 도핑스텝을 가지고 있는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 27

두께 650 Å 이하로 실리콘박막을 형성하는 얇은 실리콘막 형성스텝과,

최하부의 내직경이 4μm이하인 콘택트홀을 형성하는 작은 자름 콘택트홀 형성스텝을 가지고 있는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 28

제 27항에 있어서,

상기 실리사이드를 형성하고, 또한 제1의 금속막을 형성하는 금속재료로서 실리콘과의 반응을 제어하기 쉽고, 또 도핑시의 수소의 침입방지능력이 높은 금속을 선정하는 금속재료 선정스텝을 가지고 있는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 29

채널 영역, 소스영역 및 드레인영역으로 이루어지는 반도체 박막과, 층간 절연막과, 게이트전극과, 게이트절연막과, 바텀게이트형이라면 층간절연막에 톱게이트형이라면 이것에 대하여 게이트절연막에 형성된 콘택트홀을 통하여 반도체박막에 접속되는 소스전극 및 드레인전극을 가지는, 기판 상에 형성된 박막트랜지스터로서,

상기 반도체박막의 소스전극 및 드레인전극과 접속하기 위한 콘택트홀이 형성되는 영역의 반도체박막과 소스전극 및 드레인전극 사이에 실리사이드층을 가지고 있는 것을 특징으로 하는 박막트랜지스터.

청구항 30

제 29항에 있어서,

상기 소스전극 및 드레인전극은 각각,

다층구조인지 아닌지는 별도로 하고, 여하튼 각각 상기 소스영역, 드레인영역 상의 상기 실리사이드층에 접하는 부분은, 실리사이드의 원료금속과 동일한 금속으로 이루어지는 재료금속 통일형 소스전극, 재료금속 통일형 드레인전극인 것을 특징으로 하는 박막트랜지스터.

청구항 31

제 30항에 있어서,

상기 실리사이드층은,

티탄, 니켈, 플라티나 또는 코발트의 실리사이드인 것을 특징으로 하는 박막트랜지스터.

청구항 32

제 31항에 있어서,

상기 실리콘박막은,

그 두께가 650Å 이하의 것이며,

상기 콘택트홀은,

그 최하부의 직경이 4μm이하인 것을 특징으로 하는 박막트랜지스터.

청구항 33

제 29항에 있어서,

상기 실리사이드층은,

티탄, 니켈, 플라티나 또는 코발트의 실리사이드인 것을 특징으로 하는 박막트랜지스터.

청구항 34

제 33항에 있어서,

상기 실리콘박막은,

그 두께가 650Å 이하의 것이며,

상기 콘택트홀은,

그 최하부의 직경이 4μm이하인 것을 특징으로 하는 박막트랜지스터.

청구항 35

채널영역, 소스영역 및 드레인영역으로 이루어지는 반도체박막과, 충간절연막과, 게이트전극과, 게이트절연막과, 충간절연막과 게이트절연막에 형성된 콘택트홀을 통하여 반도체 박막에 접속되는 소스전극 및 드레인전극을 가지는, 기판 상에 형성된 그리고 또 LDD구조를 가지는 박막트랜지스터로서,

상기 반도체박막의 소스전극 및 드레인전극과 접속하기 위한 콘택트홀이 형성되는 영역의 반도체박막과 소스전극 및 드레인전극 사이에 실리사이드층을 가지고,

상기 게이트전극은 다층구조이며, 그 최하층은 상기 실리사이드층을 구성하는 금속과 동일한 금속층으로 이루어지고, 그 상부층은 상기 하층의 금속층보다도 소스영역측 또는 드레인영역측의 적어도 한쪽으로 끌어들인 형상의 금속층으로 이루어지는 마스크 경용 다층게이트전극이며,

상기 반도체박막은, 상기 마스크 경용 다층 게이트전극의 차폐능력에 대응한 주일 불순물이온 농도분포의 LDD구조의 마스크 경용 다층 게이트전극 대응 LDD구조박막인 것을 특징으로 하는 박막트랜지스터.

청구항 36

제 35항에 있어서,

상기 게이트전극, 소스전극 및 드레인전극의 실리사이드는,

티탄, 니켈, 플라티나 또는 코발트의 실리사이드인 것을 특징으로 하는 박막트랜지스터.

청구항 37

제 36항에 있어서,,

상기 반도체박막은,

그 두께가 650Å 이하의 것이며,

상기 소스전극 및 드레인전극은,

각각 실리사이드층에 접하는 부분의 직경이 4μm이하인 가는 소스전극 및 가는 드레인전극인 것을 특징으로 하는 박막트랜지스터.

청구항 38

채널영역, 소스영역 및 드레인영역으로 이루어지는 반도체박막과, 충간절연막과, 게이트전극과, 게이트절연막과, 충간절연막과 게이트절연막에 형성된 콘택트홀을 통하여 반도체박막에 접속되는 소스전극 및 드레인전극을 가지는, 기판 상에 형성된 그리고 또 LDD 구조를 가지는 박막트랜지스터로서,

상기 반도체박막의 소스전극 및 드레인전극과 접속하기 위한 콘택트홀이 형성되는 영역의 반도체박막과 소스전극 및 드레인전극 사이에 실리사이드층을 가지고,

상기 게이트전극은 다층구조이며, 그 최하층은 상기 실리사이드층을 구성하는 금속과 동일한 금속층으로 이루어지고, 그 상부층은 상기 하층의 금속층보다도 소스영역측 또는 드레인영역측의 적어도 한쪽으로 비어져 나온 실리사이드층을 가지고 이루어지는 마스크 경용 다층게이트전극이며,

상기 반도체박막은 상기 마스크 경용 다층게이트전극의 차폐능력에 대응한 주입불순물이온 농도분포의 LDD구조의 마스크 경용 다층게이트전극 대응 LDD구조 박막인 것을 특징으로 하는 박막트랜지스터.

## 청구항 39

제 38항에 있어서,

상기 게이트전극, 소스전극 및 드레인전극의 실리사이드는,

티탄, 니켈, 플라티나 또는 코발트의 실리사이드인 것을 특징으로 하는 박막트랜지스터.

## 청구항 40

제 39항에 있어서,

상기 반도체층은,

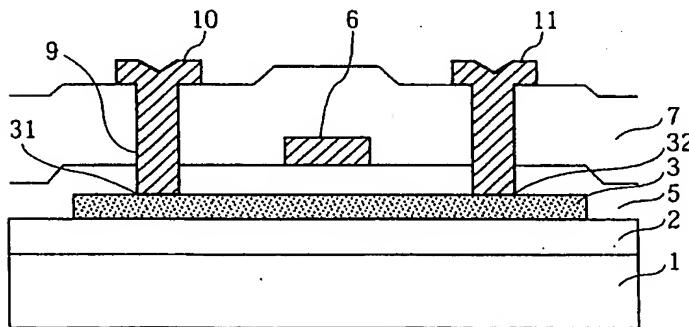
그 두께가  $650\text{ \AA}$  이하의 것이며,

상기 소스전극 및 드레인전극은,

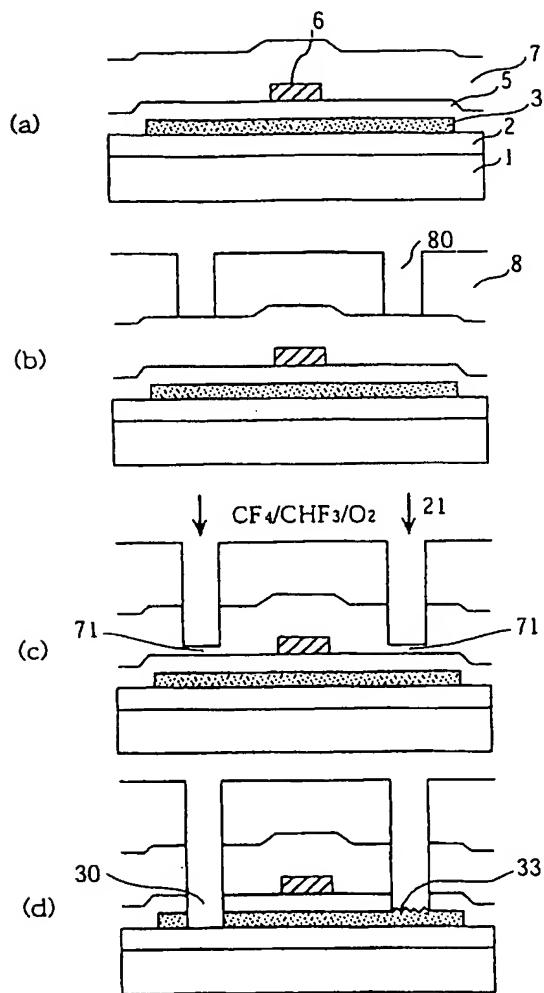
각각 실리사이드층에 접하는 부분의 직경이  $4\mu\text{m}$ 이하의 가는 소스전극 및 가는 드레인전극인 것을 특징으로 하는 박막트랜지스터.

## 도면

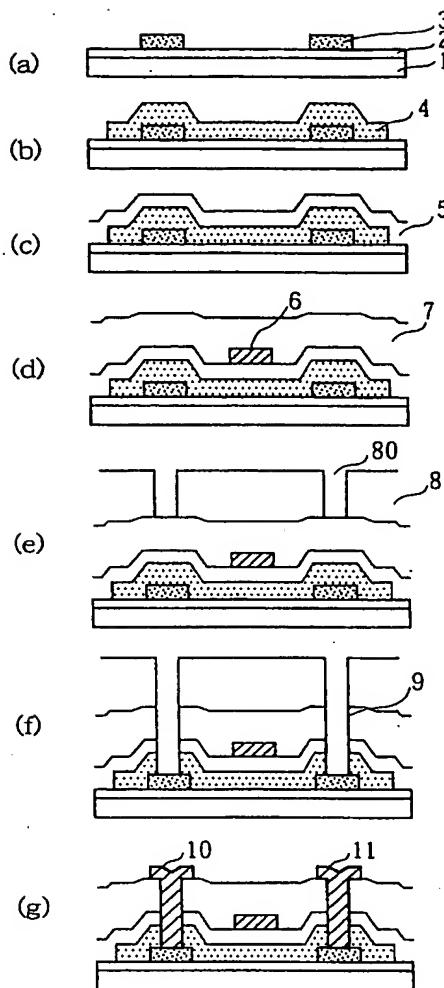
## 도면 1



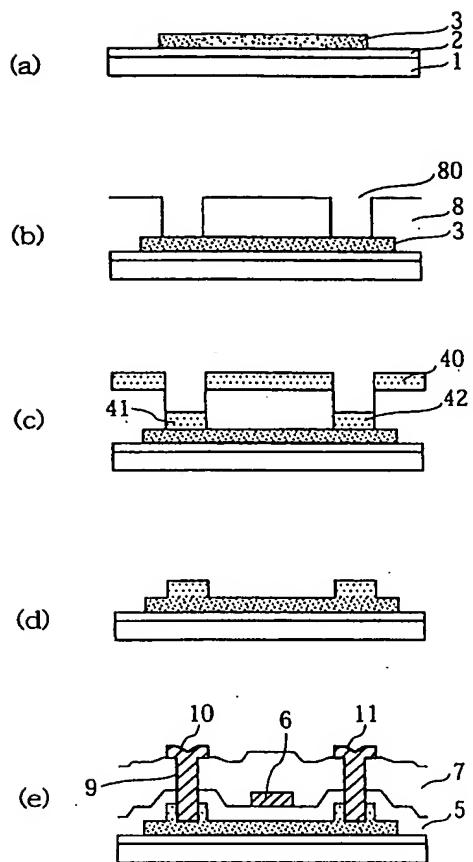
## 도면2



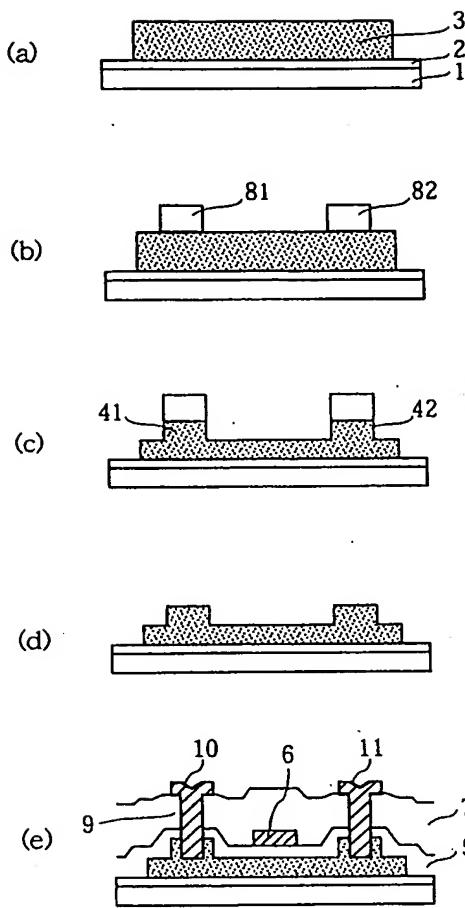
## 도면3



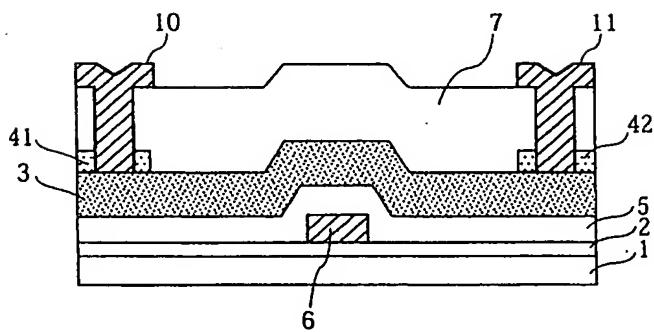
## 도면4



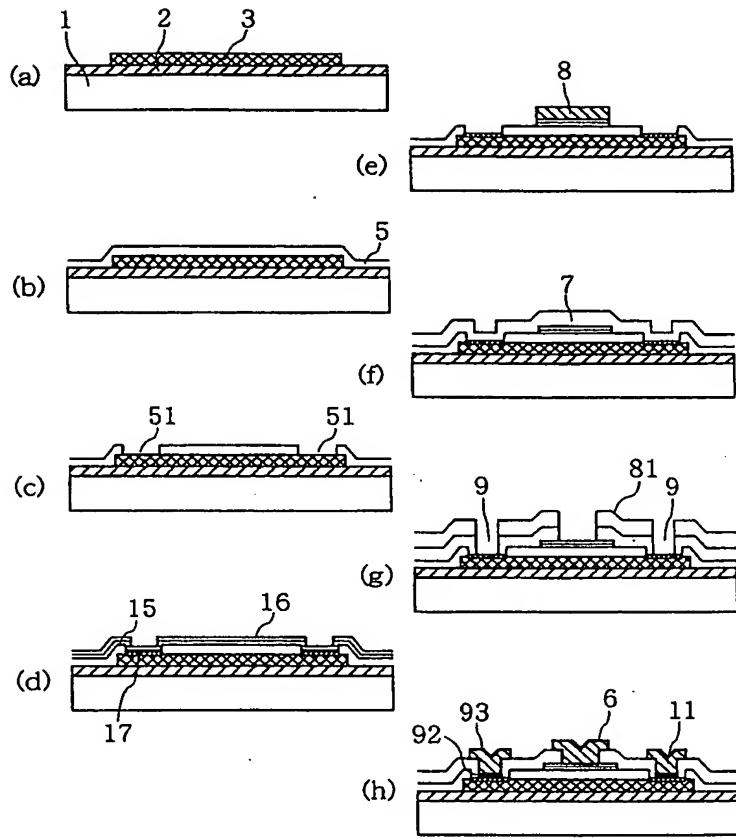
도면5



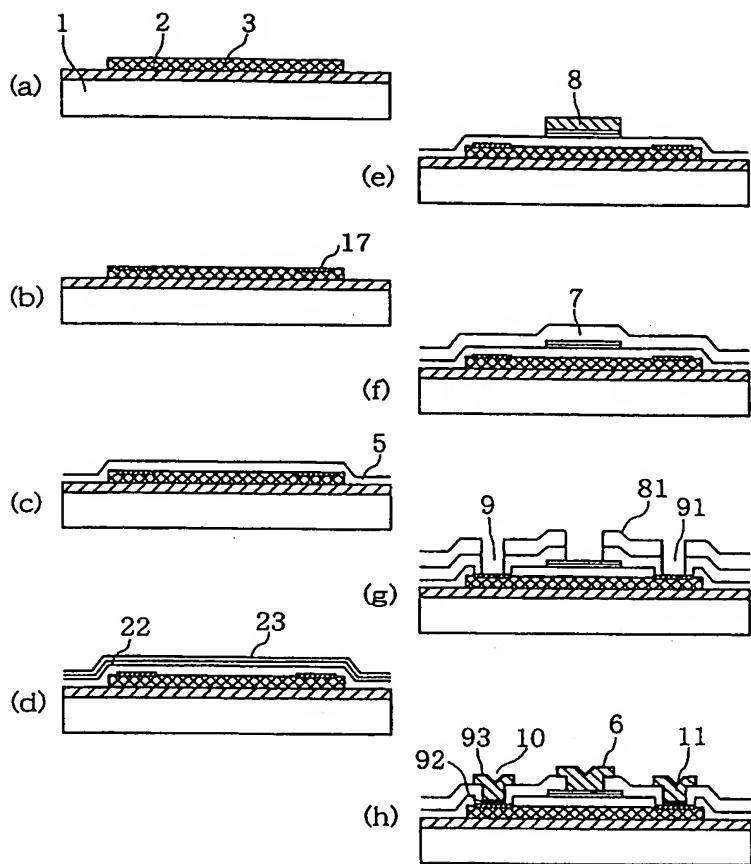
도면6



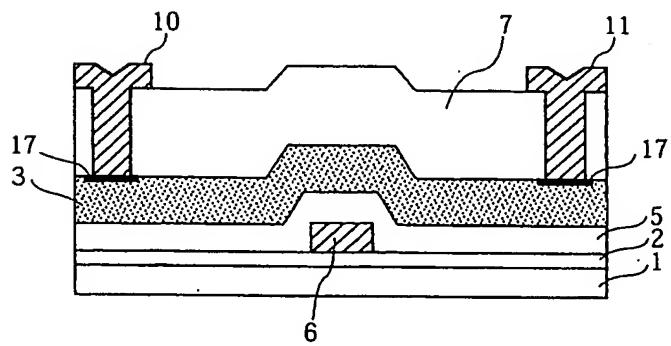
## 도면7



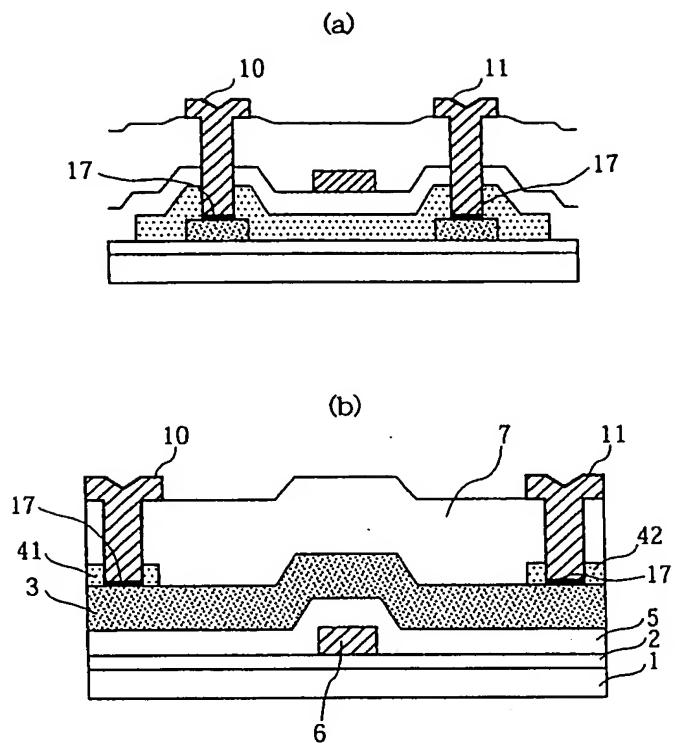
도면8



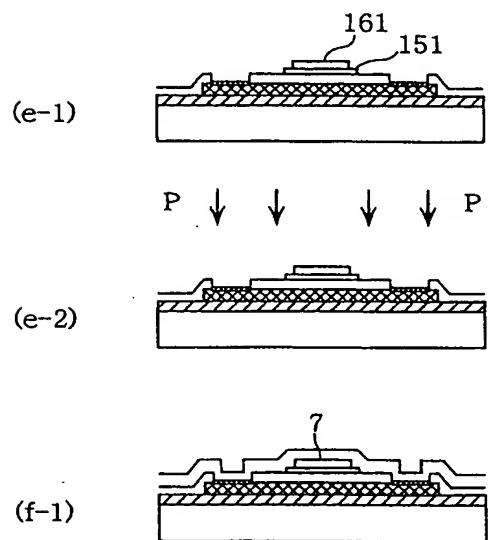
도면9



도면 10



도면 11



도면 12

